

承诺：我将严格遵守考场纪律，并知道考试违纪、作弊的严重性，承担由此引起的一切后果。

学生签名：

学号

班级

专业

华东交通大学 2012-2013 学年第一学期大作业

数字逻辑 课程 课程类别：必、限、任

题号	一	二	三	四	五	六	七	八	九	总分
分数	20	10	50	20						100
评卷人										

一、 填空题 (20 分)

1. $(10.5)_{10} = (1010.1000)_2 = (A.5)_{16} = (00010000.0101)_{8421BCD}$

2. $(A.8)_{16} = (1010.1000)_2$

3. 化简： $1 + A = (1)$ $0 \cdot A = (0)$

4. $2K \times 4$ 的存储，有地址线(11)根，有数据线(4)根，需要(16)片可以扩展成 $16K \times 8$ 的存储。 $\frac{16 \times 8}{2 \times 4} = 16$

5. 写出函数 $F(A, B, C) = A + \bar{B}C$ 的最小项之和表达式 $F = \sum m(1, 4, 5, 6, 7)$ 。

二、 选择题 (10 分)

1. ROM 中可以通过电擦写的逻辑器件是 (B) ~~A~~ C X D
- (A) FLASH MEMORY 快闪存储器 (B) RAM 随机存储器
- (C) EPROM ~~光擦除可编程存储器~~ E^2PROM / 快闪存储器 (D) EEPROM 电可擦除可编程存储器 也可写成 E^2PROM
2. 下列期间中属于组合逻辑电路的是 (B) ~~A~~
- (A) 寄存器 (B) 译码器 (C) 触发器 (D) 计数器

3. 欲对全班 28 个同学以二进制代码编码表示，最少需要二进制的位数是 (A)

(A) 5 (B) 6 (C) 10 (D) 28

4. 一个 D 触发器, 在 $D=1$ 时, 来一个时钟脉冲后, 则触发器(C)。

(A) 不定 (B) 置 0 (C) 置 1 (D) 翻转

5. 在 CP 作用下, 欲使 D 触发器具有 T' 触发器的功能, 其 D 端应接 (D)。

(A) 1 (B) 0 (C) Q^n (D) $\bar{Q}^n$

三、 分析题 (40 分)

1. 用真值表证明下列等式 (10 分)

$$\overline{AB} + \overline{A}B = (\overline{A} + \overline{B})(A + B)$$

A	B	$\overline{A}$	$\overline{B}$	$\overline{AB}$	$\overline{A}B$	$\overline{A} + \overline{B}$	$A + B$	$\overline{AB} + \overline{A}B$	$(\overline{A} + \overline{B})(A + B)$
0	0	1	1	1	0	1	0	1	0
0	1	1	0	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1
1	1	0	0	0	1	0	1	0	0

即证明成立

2. 用卡诺图化简成最简与或式 (10 分)

$$F(A, B, C, D) = \sum m(0, 2, 8, 10, 11, 14, 15)$$

CD \ AB	00	01	11	10
00	1	0	0	1
01	0	0	0	0
11	1	0	1	1
10	1	0	1	1

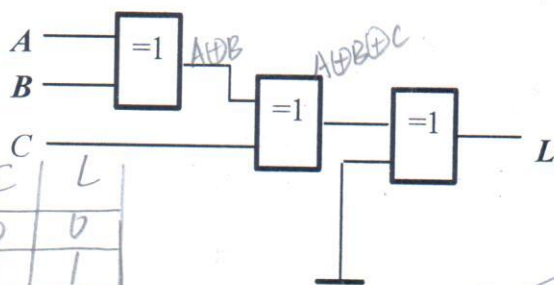
$$F(A, B, C, D) = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}C\overline{D} + A\overline{B}\overline{C}\overline{D} + AC$$

即为所求

$$F(A, B, C, D) = \overline{B}\overline{D} + AC$$

8.

3. 下图为某一组合逻辑电路, 请写出 L 的逻辑函数表达式, 画出真值表 (10 分)



真值表

A	B	C	L
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	1	0	0
1	0	1	0
1	1	1	1

$$\text{解: } L = A \oplus B \oplus C \oplus 0$$

$$= \overline{A \oplus B \oplus C} \cdot 0 + A \oplus B \oplus C \cdot 1$$

$$= A \oplus B \oplus C = (\overline{AB} + \overline{A}\overline{B}) \oplus C$$

$$= (\overline{AB} + \overline{A}\overline{B})C + (\overline{AB} + \overline{A}\overline{B})\overline{C}$$

$$= (\overline{A}\overline{A} + \overline{A}B + \overline{A}\overline{B} + \overline{B}\overline{B}) \cdot C + \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C}$$

$$= ABC + \overline{A}\overline{B}C + A\overline{B}\overline{C} + \overline{A}\overline{B}\overline{C}$$

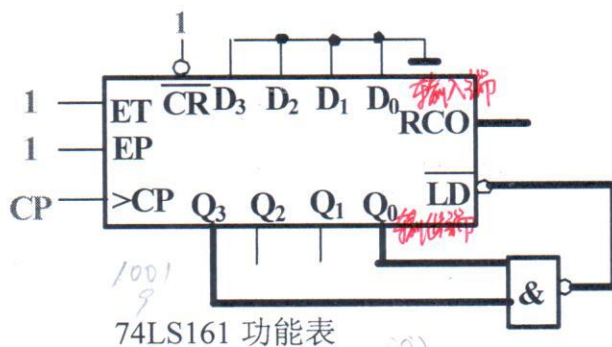
如没有要求, 可不用化简

4. 由同步十六进制集成加法计数器构成的时序逻辑电路如下图所示，画出其状态转换图，并说明是几进制计数器。74LS161 功能表如下。（10 分）

解：\$Q_3 Q_2 Q_1 Q_0 \rightarrow\$

$0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011$
 $\uparrow \qquad \qquad \qquad \downarrow$
 $1001 \qquad \qquad \qquad 0100$
 $\uparrow \qquad \qquad \qquad \downarrow$
 $1000 \leftarrow 0111 \leftarrow 0110 \leftarrow 0101$

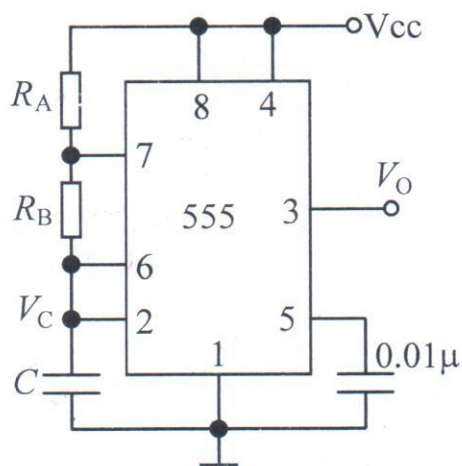
此图为十进制计数器



74LS161 功能表

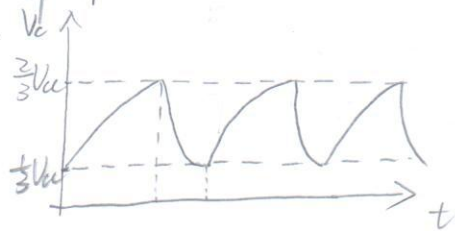
$\overline{CR}$	$\overline{LD}$	ET*EP	CP	Q_3	Q_2	Q_1	Q_0
0	×	×	×	0	0	0	0
1	0	×	$\uparrow$	D_3	D_2	D_1	D_0
1	1	1	$\uparrow$	累加计数			
1	1	0	×	保持			

5. 下图所示电路为由 555 定时器构成的多谐振荡器，求它的振荡周期，并对应画出 V_C 、 V_O 波形。（10 分）

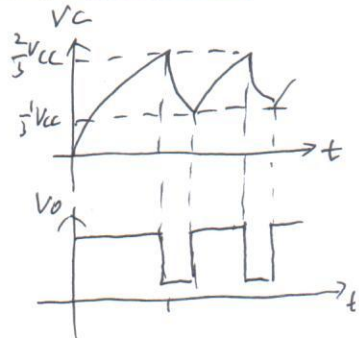
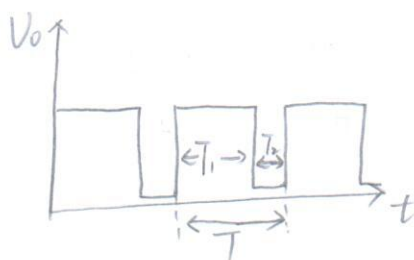


阈值输入 (6 脚)	触发输入 (2 脚)	Q (3 脚)	T_1 状态
$> \frac{2}{3} V_{CC}$	$> \frac{1}{3} V_{CC}$	0	导通
$< \frac{2}{3} V_{CC}$	$< \frac{1}{3} V_{CC}$	1	截止
$< \frac{2}{3} V_{CC}$	$> \frac{1}{3} V_{CC}$	保持	保持

解：\$T = (R_A + 2R_B) C \ln 2\$



注意：要对应画出



四、 设计题 (20 分)

1、试设计一个组合逻辑电路，它接收四位二进制数 $B_3B_2B_1B_0$ 表示 0-15，仅当 $2 < B_3B_2B_1B_0 < 7$ 时，输出 Y 才为 1。要求画出真值表，写出最简与或式，不要求画出电路图。(10 分)

B_3	B_2	B_1	B_0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

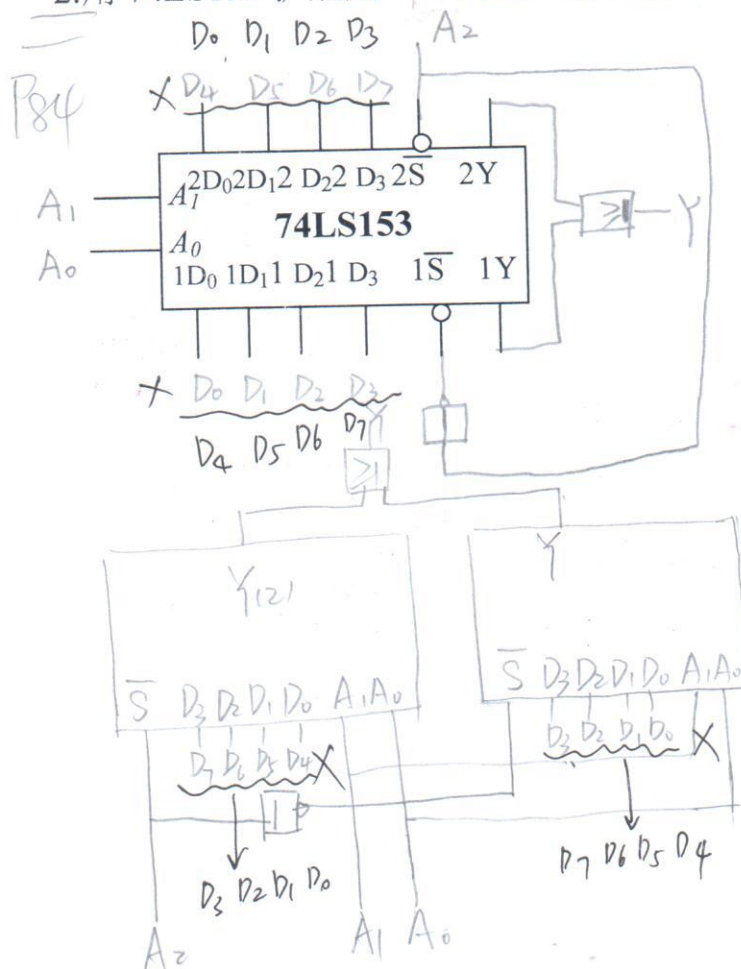
解: $Y = \overline{B_3}\overline{B_2}B_1B_0 + \overline{B_3}B_2\overline{B_1}\overline{B_0} + \overline{B_3}B_2B_1\overline{B_0} + \overline{B_3}B_2B_1B_0$

B_3B_2	B_1B_0	00	01	11	10
00	00	0	0	0	0
01	01	0	1	0	0
11	11	0	0	0	0
10	10	0	0	0	0

$\therefore Y = \overline{B_3}B_2\overline{B_1} + \overline{B_3}B_2B_1\overline{B_0} + \overline{B_3}B_2B_1B_0$ $\times$ 不是最简

$Y = \overline{B_3}\overline{B_2}B_1B_0 + \overline{B_3}B_2\overline{B_1} + \overline{B_3}B_2\overline{B_0}$

2. 用 74LS153 扩展成一个八选一得数据选择器，完成设计图。(10 分)



74LS153 的功能表

输	入	输 出
$\overline{S}$	D	A_1 A_0 Y
1	X	X X 0
0	D_0	0 0 D_0
0	D_1	0 1 D_1
0	D_2	1 0 D_2
0	D_3	1 1 D_3

A_2	A_1	A_0	D	Y
0	0	0	D_0	D_0
0	0	1	D_1	D_1
0	1	0	D_2	D_2
0	1	1	D_3	D_3
1	0	0	D_4	D_4
1	0	1	D_5	D_5
1	1	0	D_6	D_6
1	1	1	D_7	D_7