

5 锁存器和触发器

5.1 基本双稳态电路

5.2 *SR*锁存器

5.3 *D*锁存器

5.4 触发器的电路结构和工作原理

5.5 触发器的逻辑功能

5.6 用Verilog HDL描述锁存器和触发器

教学基本要求

- 1、掌握锁存器、触发器的电路结构和工作原理
- 2、熟练掌握 SR 触发器、 JK 触发器、 D 触发器及 T 触发器的逻辑功能
- 3、正确理解锁存器、触发器的动态特性

概述

1、时序逻辑电路与锁存器、触发器：

时序逻辑电路：

工作特征：时序逻辑电路的工作特点是任意时刻的输出状态不仅与该当前的输入信号有关，而且与此前电路的状态有关。

结构特征：由组合逻辑电路和存储电路组成，电路中存在反馈。

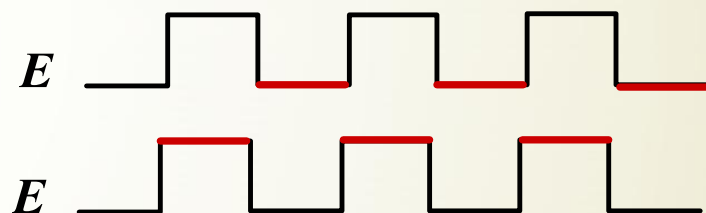
锁存器和触发器是构成时序逻辑电路的基本逻辑单元。

2、锁存器与触发器

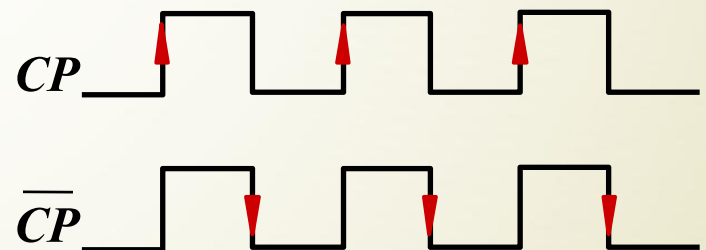
共同点：具有0和1两个稳定状态，一旦状态被确定，就能自行保持。一个锁存器或触发器能存储一位二进制码。

不同点：

锁存器---对脉冲电平敏感的存储电路，在特定输入脉冲电平作用下改变状态。



触发器---对脉冲边沿敏感的存储电路，在时钟脉冲的上升沿或下降沿的变化瞬间改变状态。



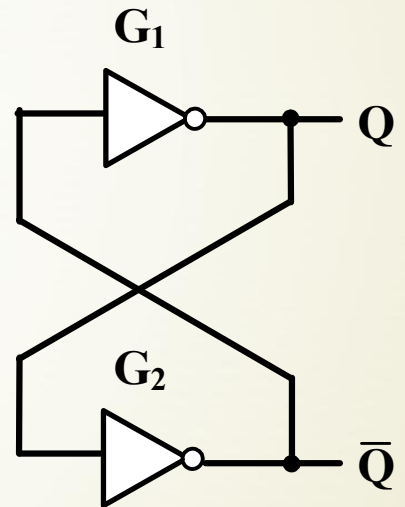
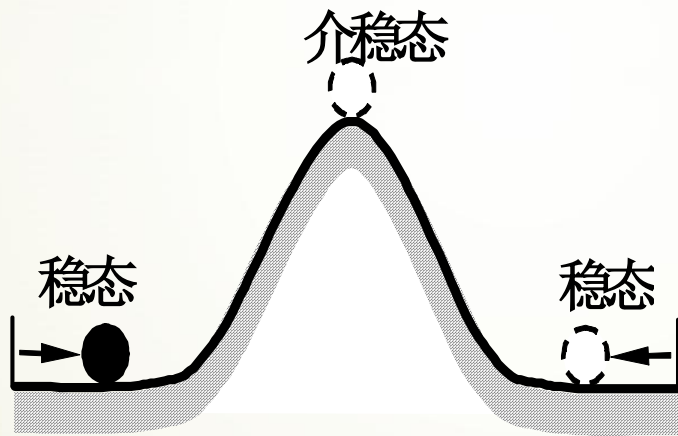
5.1 基本双稳态电路

5.1.1 双稳态的概念

5.1.2 基本双稳态电路

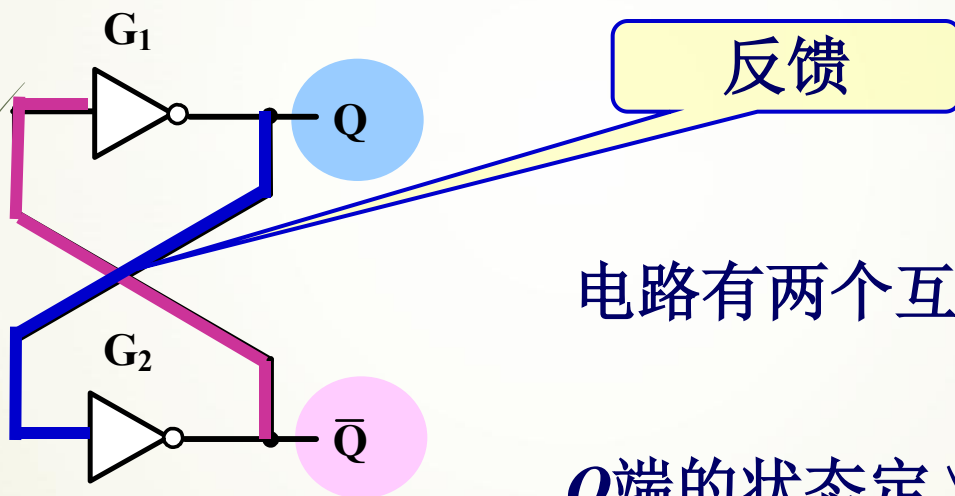
5.1 基本双稳态电路

5.1.1 双稳态的概念



5.1.2 基本双稳态电路

1. 最基本双稳态电路结构



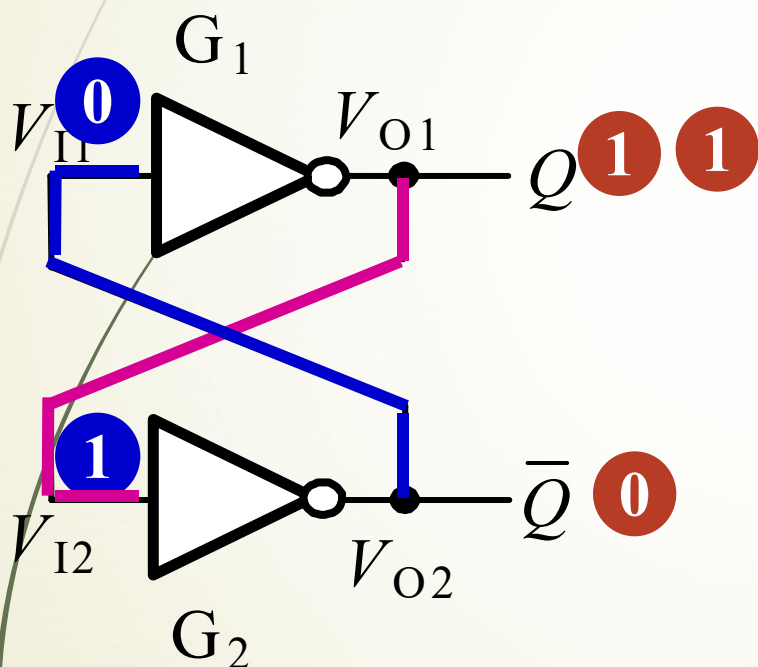
电路有两个互补的输出端

Q 端的状态定义为电路输出状态。

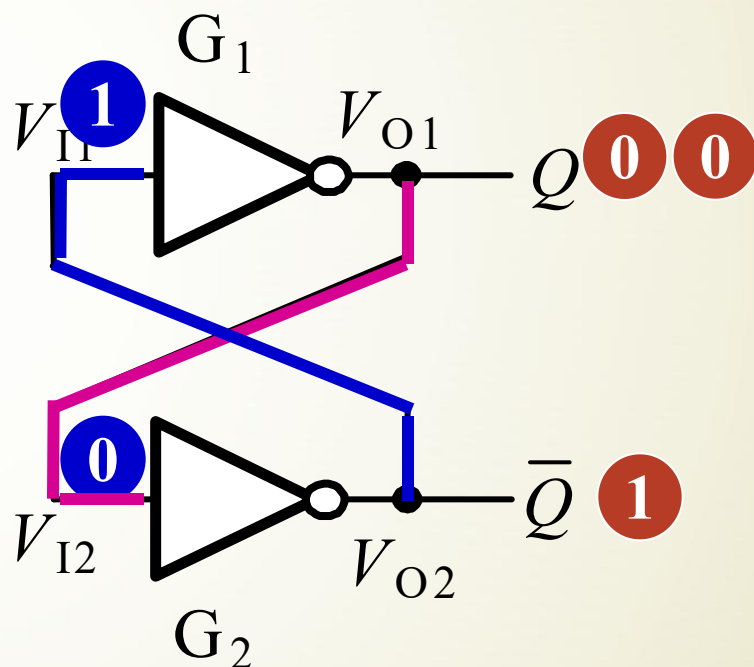
2、数字逻辑分析

——电路具有记忆1位二进制数据的功能。

如 $Q = 1$

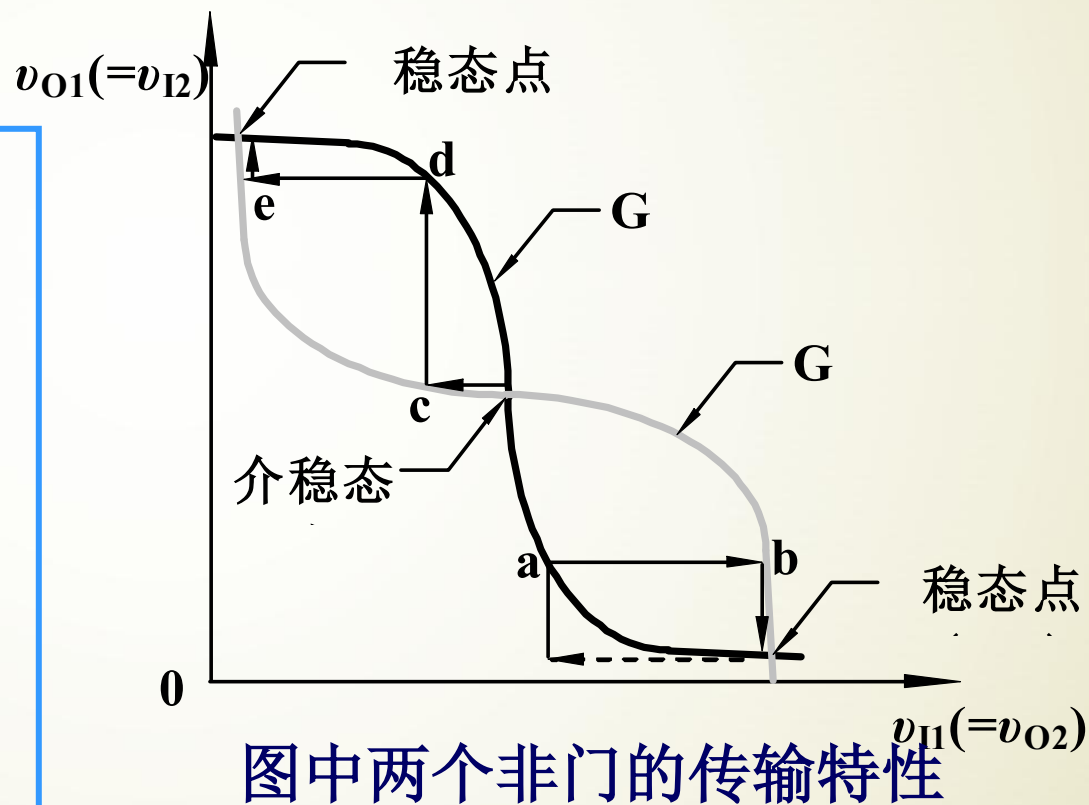
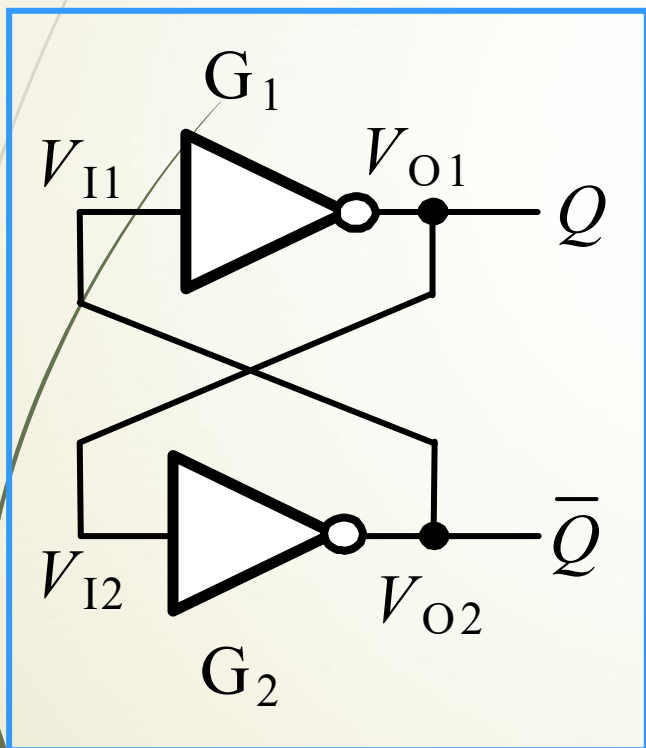


如 $Q = 0$



3. 传输特性分析

$$v_{O1} = v_{I2} \quad v_{I1} = v_{O2}$$



5.2 *SR*锁存器

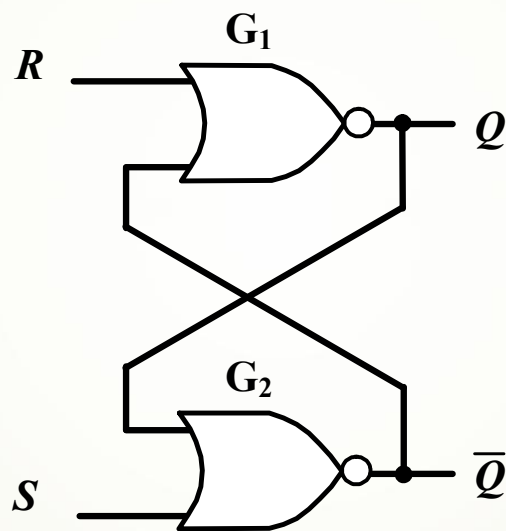
5.2.1 基本*SR* 锁存器

5.2.2 门控*SR*锁存器

5.2 *SR*锁存器(Set-Reset Latch)

5.2.1 基本*SR* 锁存器

1. 或非门构成的基本*SR*锁存器



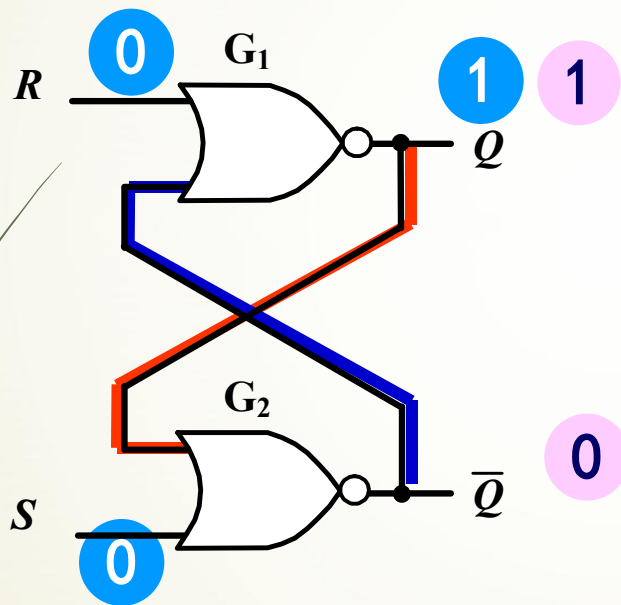
现态： R 、 S 信号作用前 Q 端的状态，现态用 Q^n 表示。

次态： R 、 S 信号作用后 Q 端的状态，次态用 Q^{n+1} 表示。

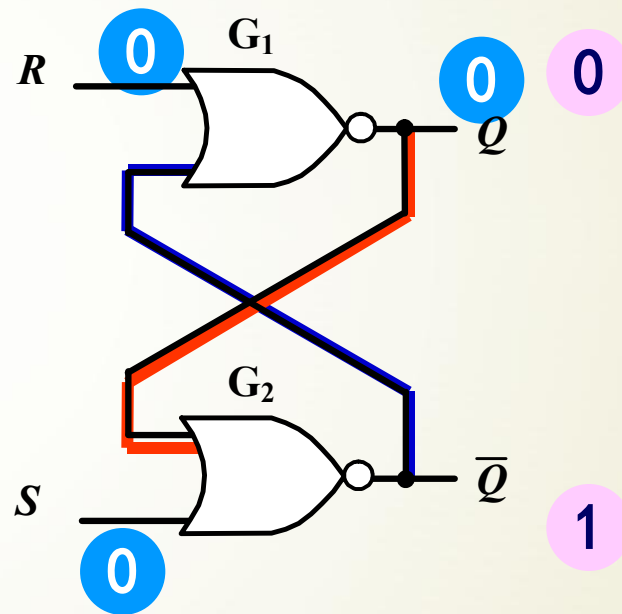
1. 或非门构成的基本SR锁存器

$R=0$ 、 $S=0$

状态不变



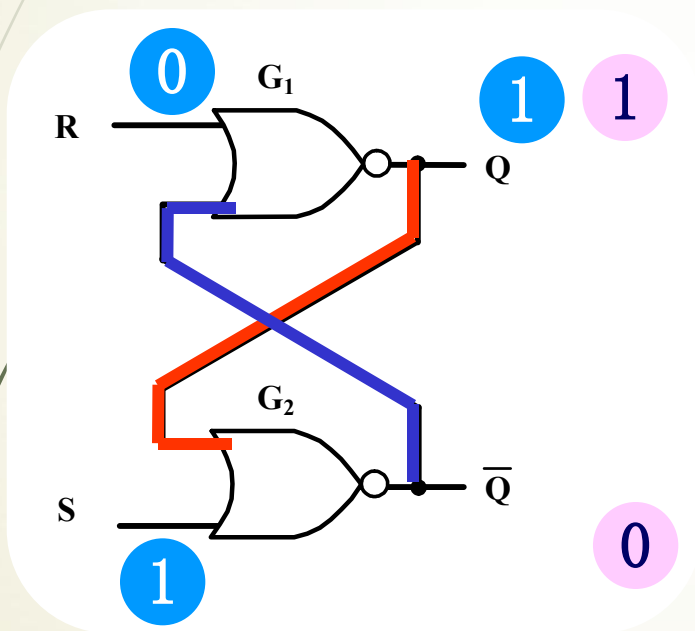
若现态 $Q^n = 1$



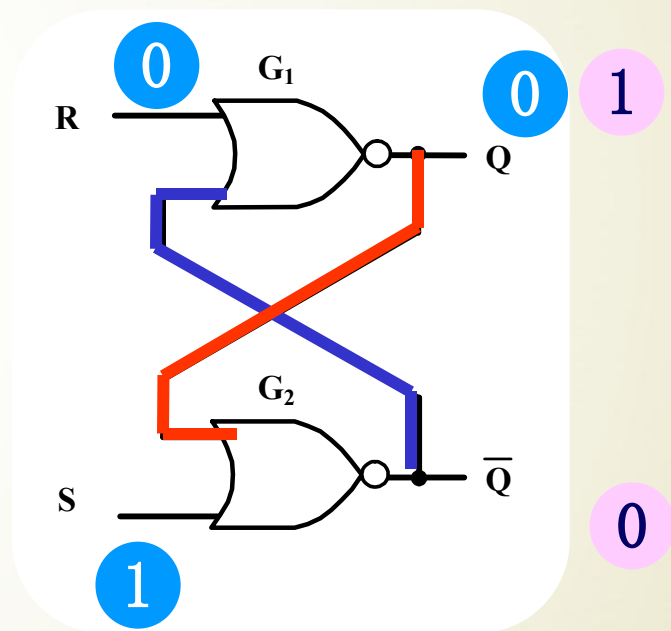
若现态 $Q^n = 0$

$R=0$ 、 $S=1$ 置1

无论现态 Q^n 为0或1，锁存器的次态为1态。信号消失后新的状态将被记忆下来。



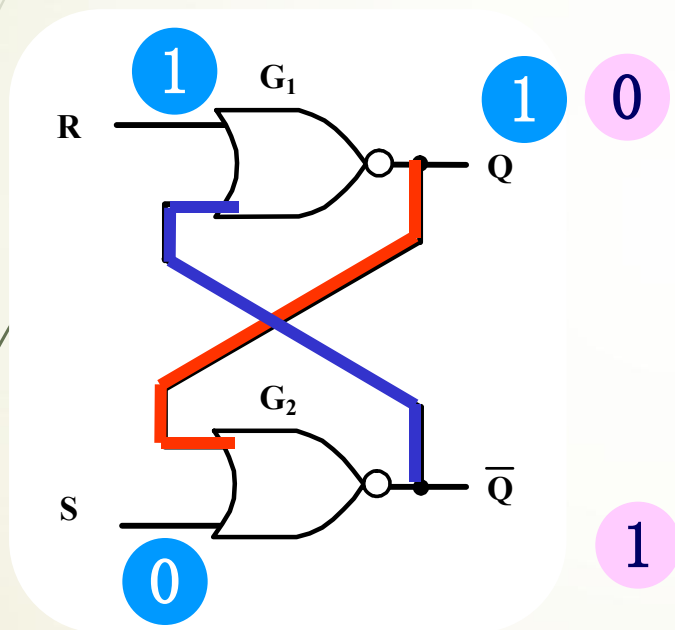
若现态 $Q^n = 1$



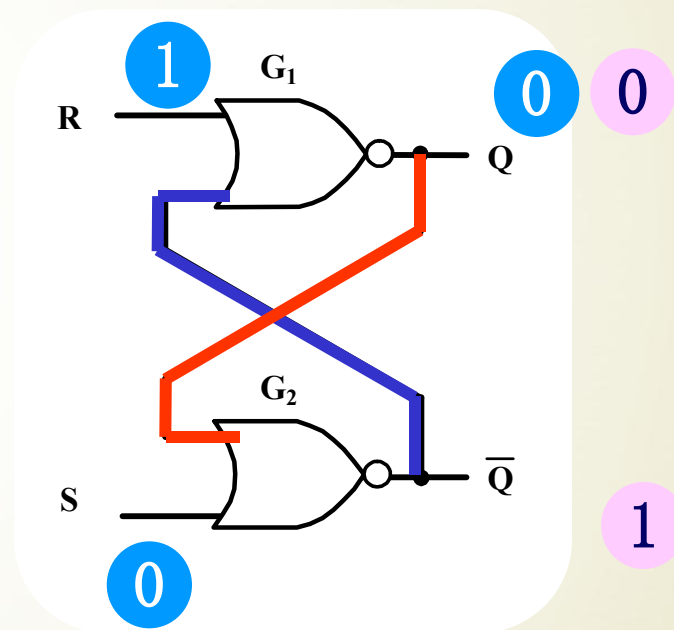
若现态 $Q^n = 0$

$R=1$ 、 $S=0$ 置0

无论现态 Q^n 为0或1，锁存器的次态为0态。信号消失后新的状态将被记忆下来。



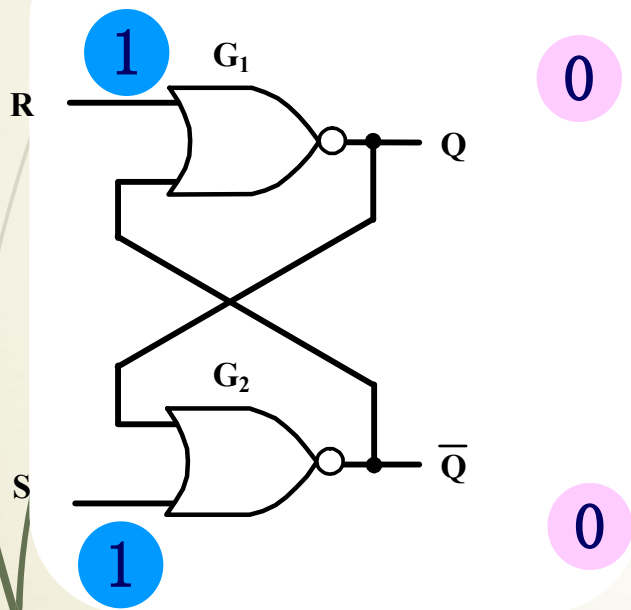
若现态 $Q^n=1$



若现态 $Q^n=0$

$S=1$ 、 $R=1$ 状态不确定

无论现态 Q^n 为0或1，触发器的次态 Q^n 、 $\overline{Q}^n$ 都为0 。



触发器的输出既不是0态，也不是1态

当 S 、 R 同时回到0时，由于两个或非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

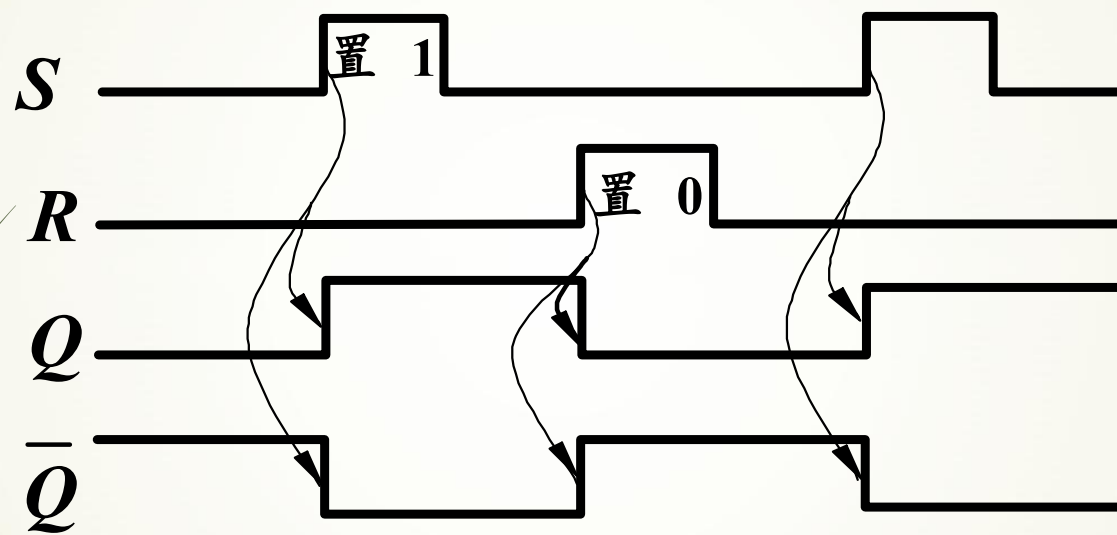
约束条件: $SR = 0$

或非门构成的基本SR锁存器功能表

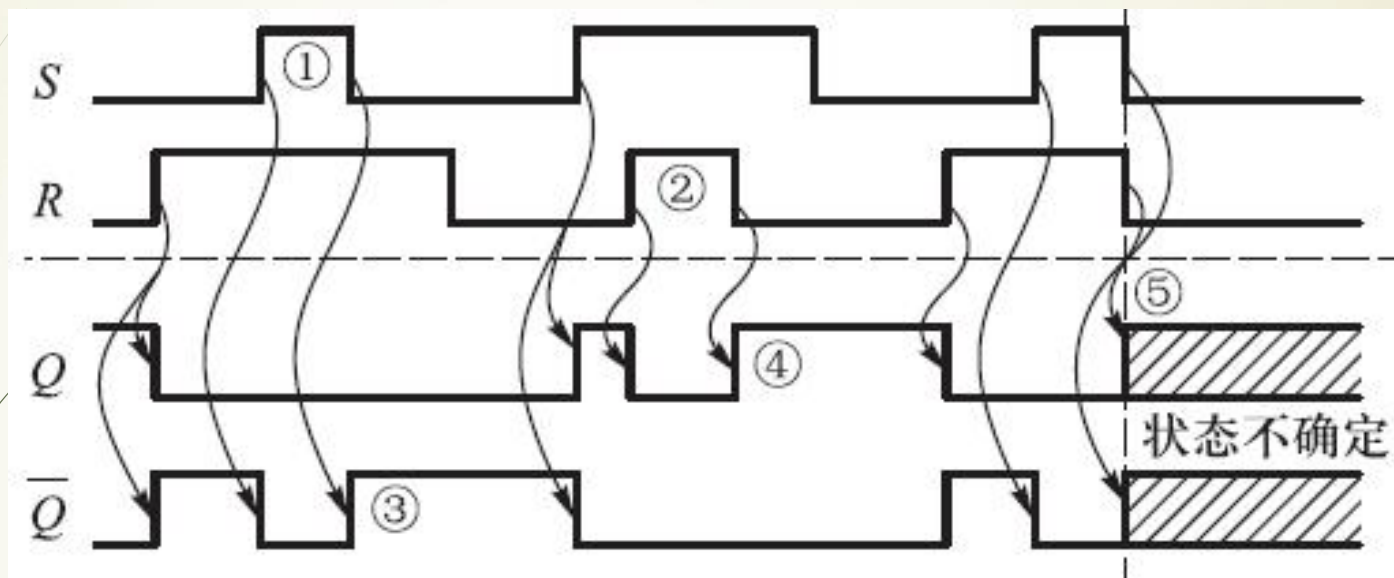
S	R	Q	$\bar{Q}$	功能
0	0	不变	不变	保持
0	1	0	1	置0
1	0	1	0	置1
1	1	0	0	非定义状态

约束条件: $SR = 0$

工作波形



例. 或非门构成的基本SR锁存器的初始状态为1,其 S 、 R 端输入波形如图中虚线上面所示, 试画出对应的 Q 和 $\bar{Q}$ 波形。



当 $S=R=1$ 时, 输出为 $Q=\bar{Q}=0$ 。 S 和 R 的1没有同时撤消, 则 Q 和 $\bar{Q}$ 状态仍可确定, 如图中③、④所示。而⑤处 S 和 R 的高电平同时撤消, 即 S 和 R 同时回到0, Q 和 $\bar{Q}$ 的状态将无法确定。

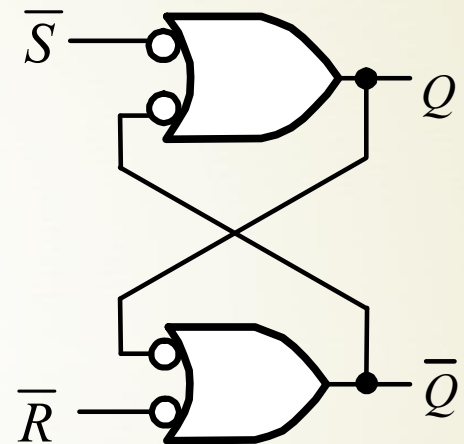
2. 用与非门构成的基本SR锁存器

b. 功能表

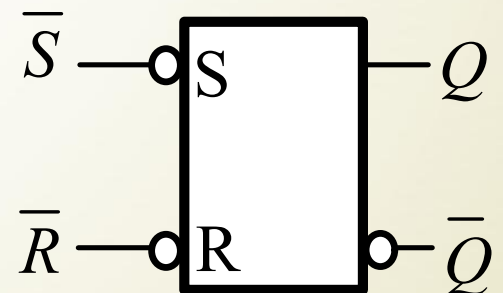
$\bar{S}$	$\bar{R}$	Q	$\bar{Q}$	功能
1	1	不变	不变	保持
1	0	0	1	置0
0	1	1	0	置1
0	0	1	1	非定义状态

约束条件: $\bar{S} + \bar{R} = 1$

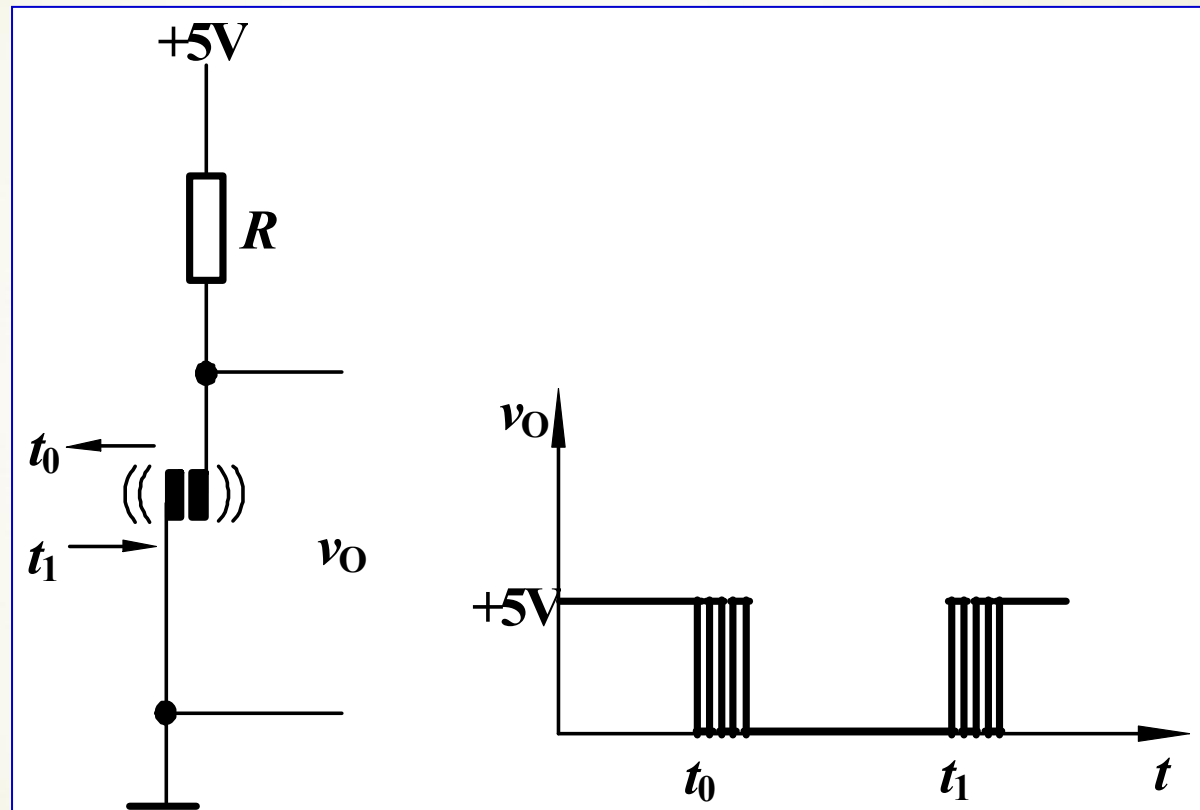
a. 电路图

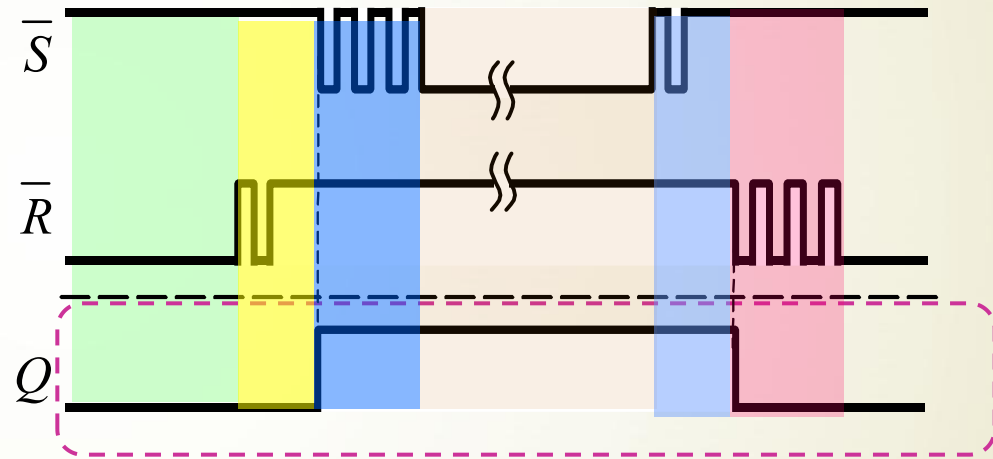
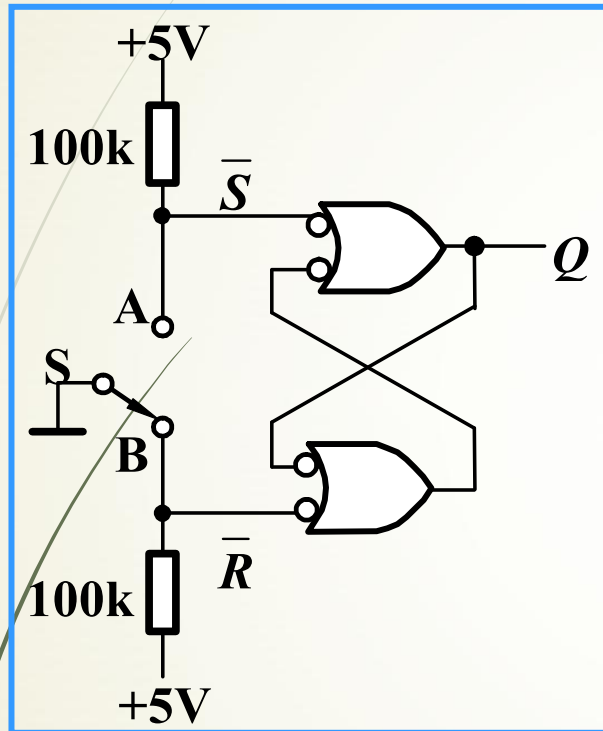


c. 国标逻辑符号



例 运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出。



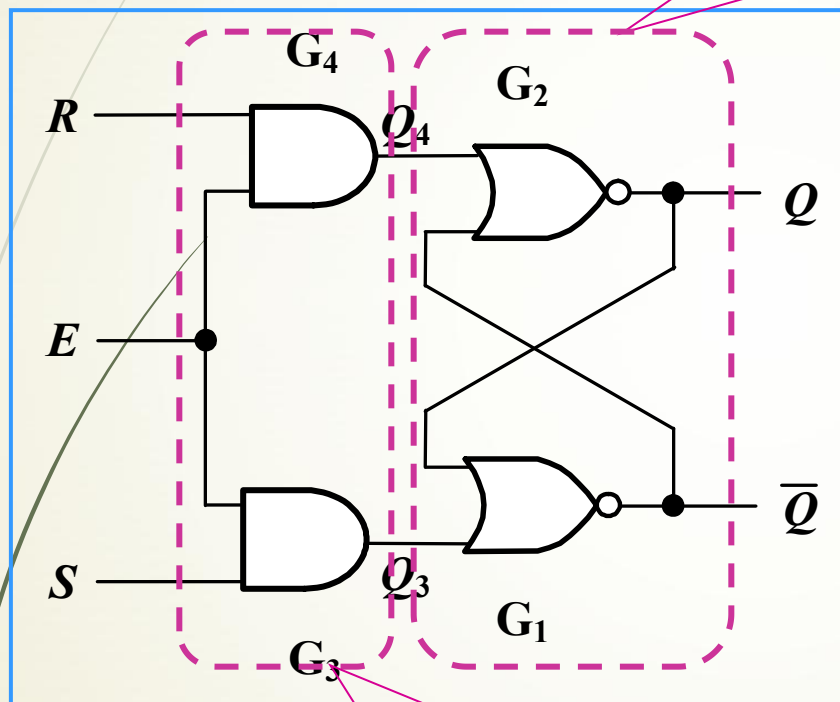


5.2.2 门控SR 锁存器

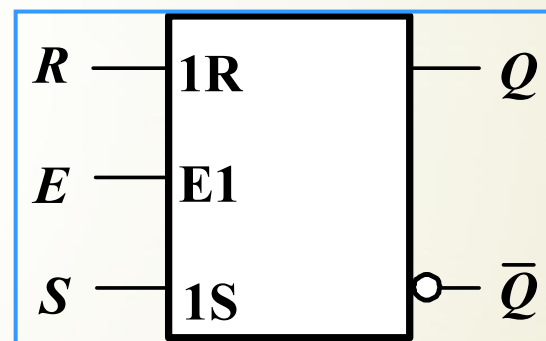
1. 电路结构

简单SR锁存器

国标逻辑符号



使能信号控制门电路



2. 工作原理

$E=0$: 状态不变

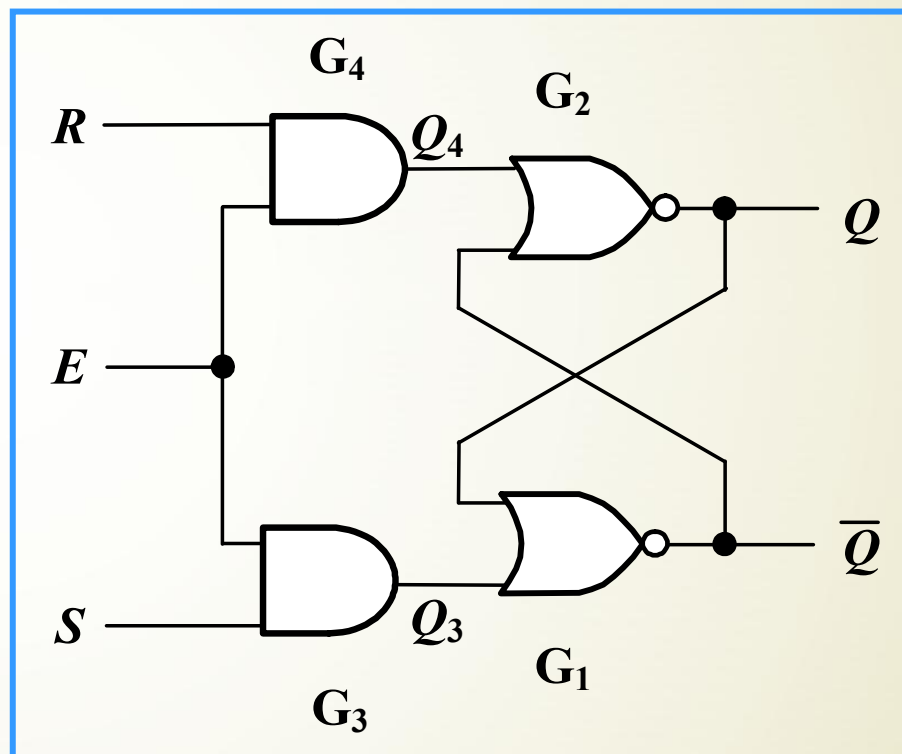
$E=1$: $Q_3 = S$ $Q_4 = R$
状态发生变化。

$S=0, R=0$: $Q^{n+1} = Q^n$

$S=1, R=0$: $Q^{n+1} = 1$

$S=0, R=1$: $Q^{n+1} = 0$

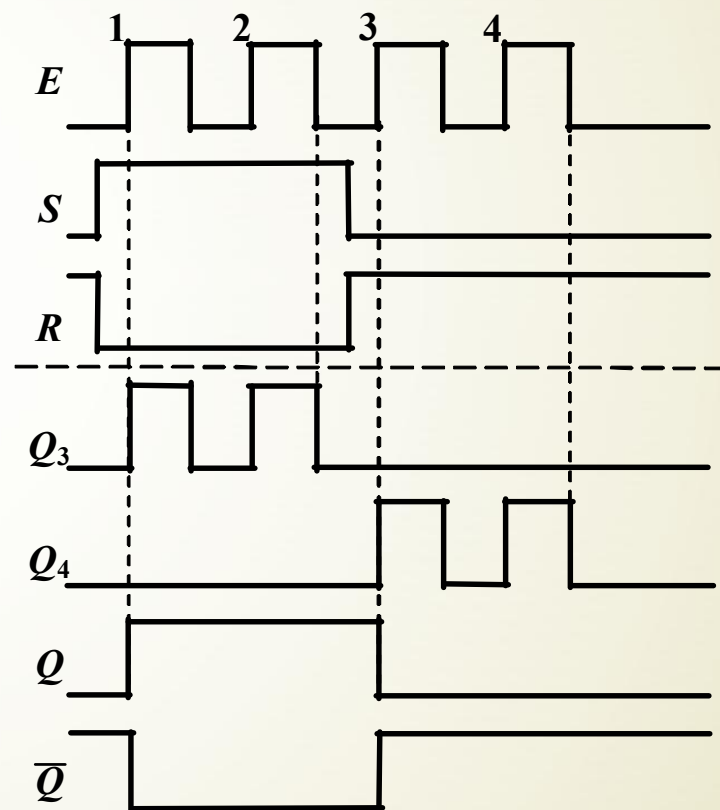
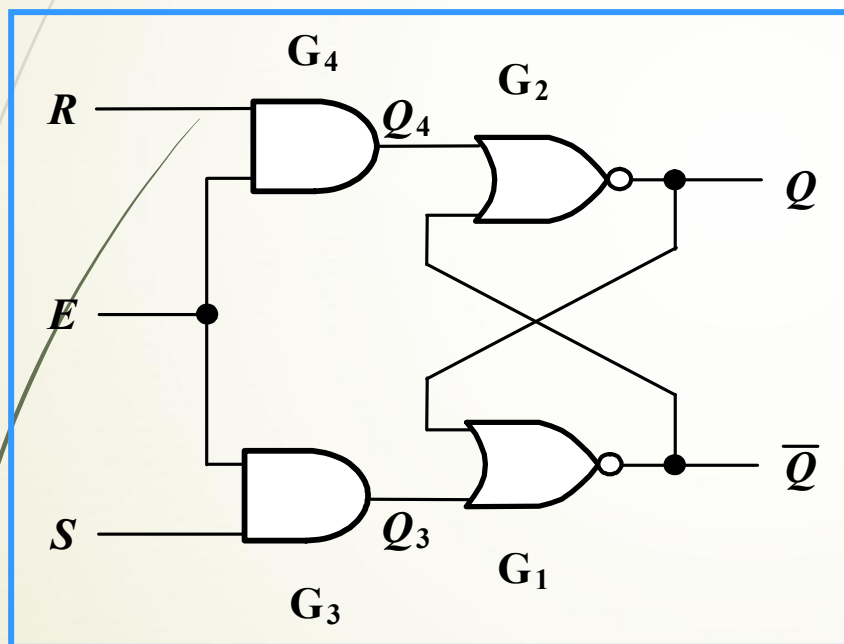
$S=1, R=1$: $Q^{n+1} = \Phi$



门控SR锁存器功能表

E	S	R	Q	$\bar{Q}$	功 能
0	×	×	不变	不变	保 持
1	0	0	不变	不变	保 持
1	0	1	0	1	置0
1	1	0	1	0	置1
1	1	1	0	0	非定义状态

例：逻辑门控SR锁存器的 E 、 S 、 R 的波形如下图虚线上边所示，锁存器的原始状态为 $Q = 0$ ，试画出 Q_3 、 Q_4 、 Q 和 $\bar{Q}$ 的波形。



5.3 *D*锁存器

5.3.1 *D*锁存器的电路结构

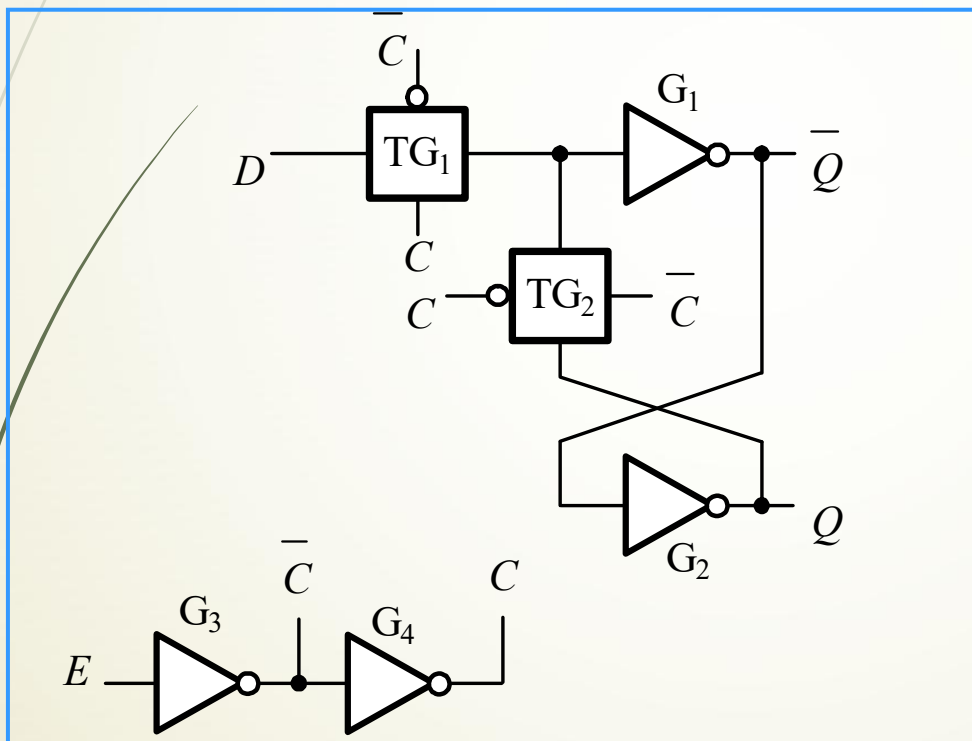
5.3.2 *D* 锁存器集成电路

5.3.3 *D* 锁存器的动态特性

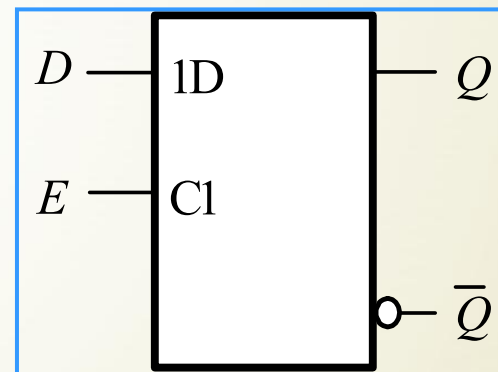
5.3.1 D锁存器的电路结构

1. 传输门控D锁存器

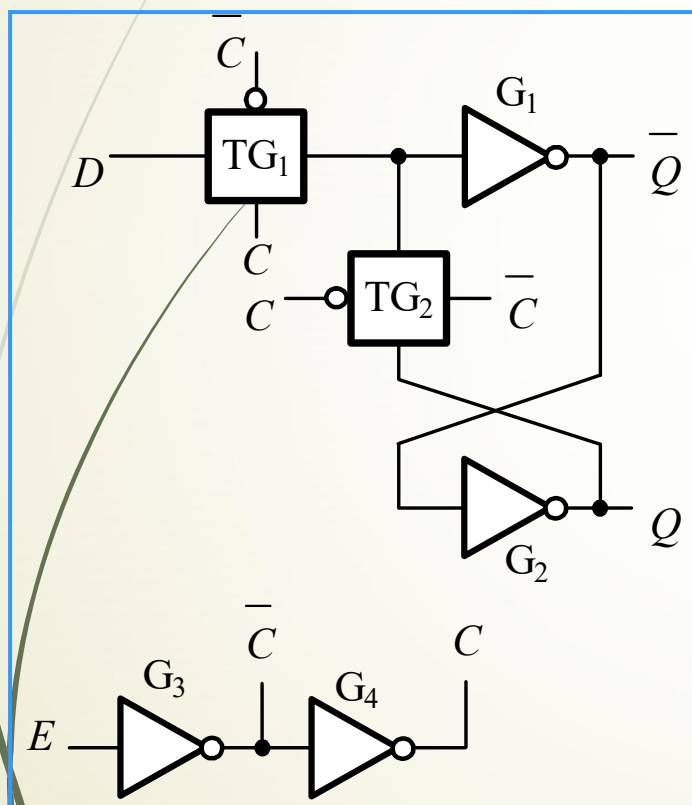
(1) 逻辑电路图



逻辑符号

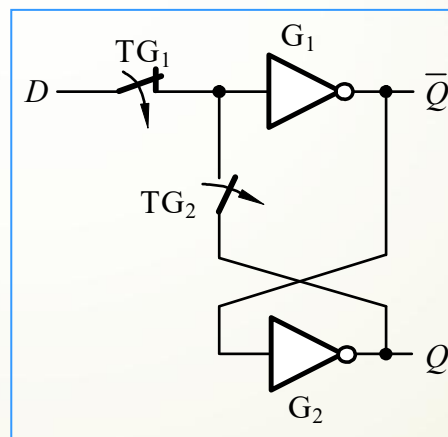


(2)工作原理



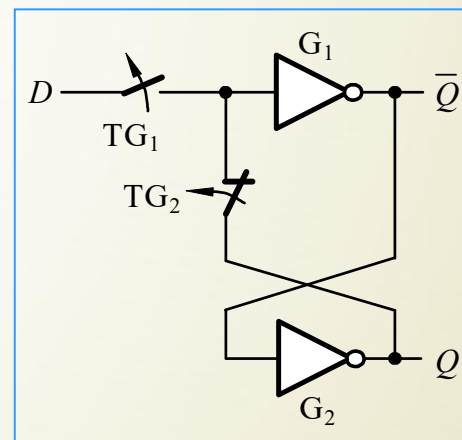
(a) $E=1$ 时

TG_1 导通,
 TG_2 断开
 $Q = D$

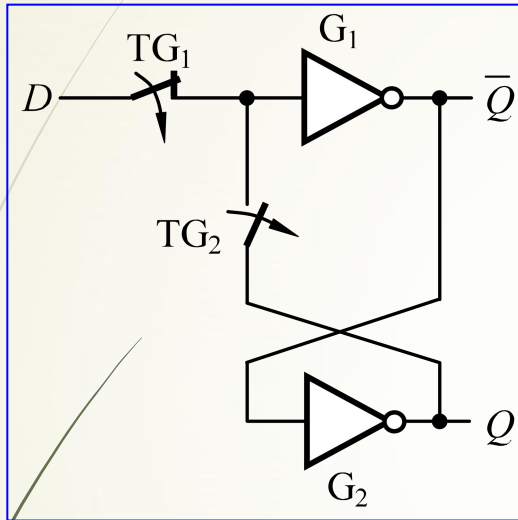


(b) $E=0$ 时

TG_2 导通,
 TG_1 断开
 Q 不变



(3) 逻辑功能



D锁存器的功能表

E	D	Q	$\bar{Q}$	功能
0	$\times$	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

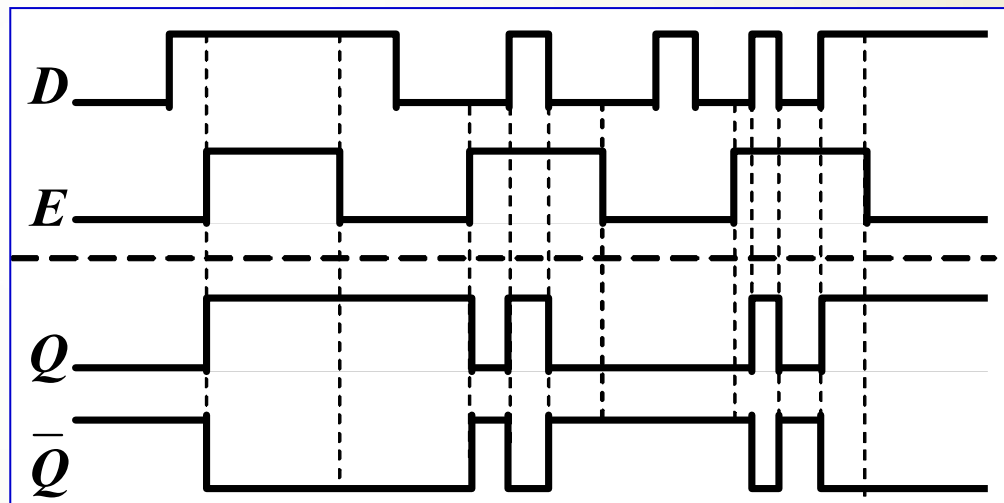
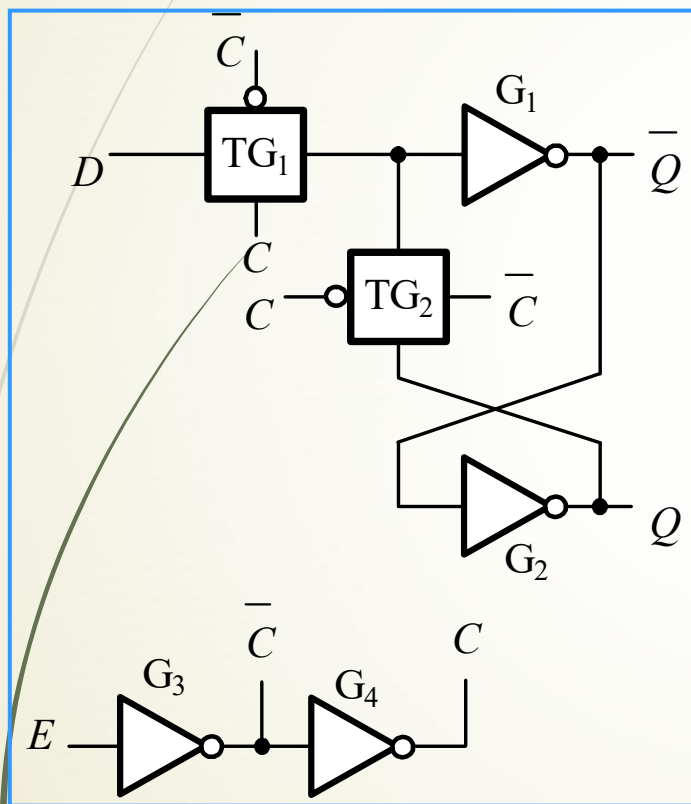
$E=0$,

$E=1$

Q 不变

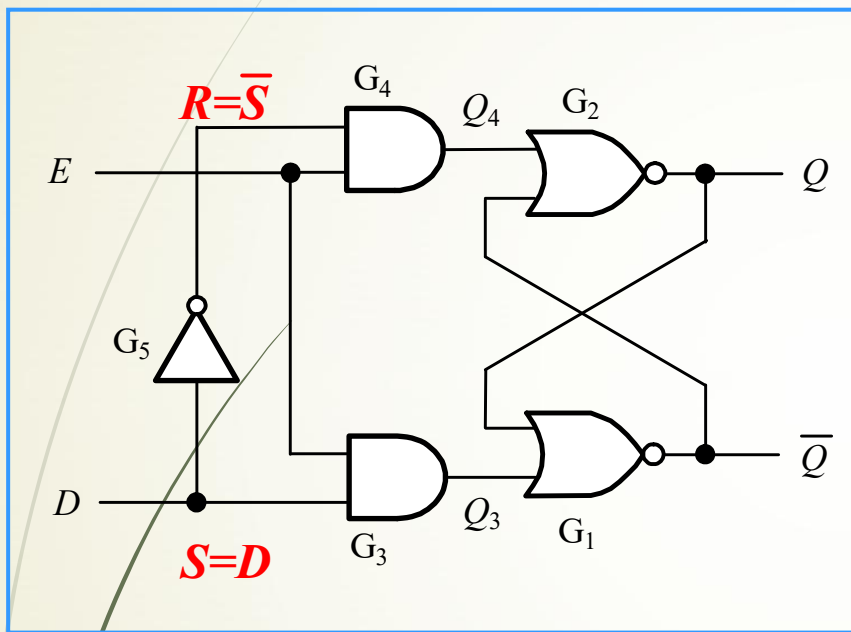
$Q = D$

(4) 工作波形



2. 逻辑门控D锁存器

逻辑电路图



D锁存器的功能表

E	D	Q	$\bar{Q}$	功能
0	$\times$	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

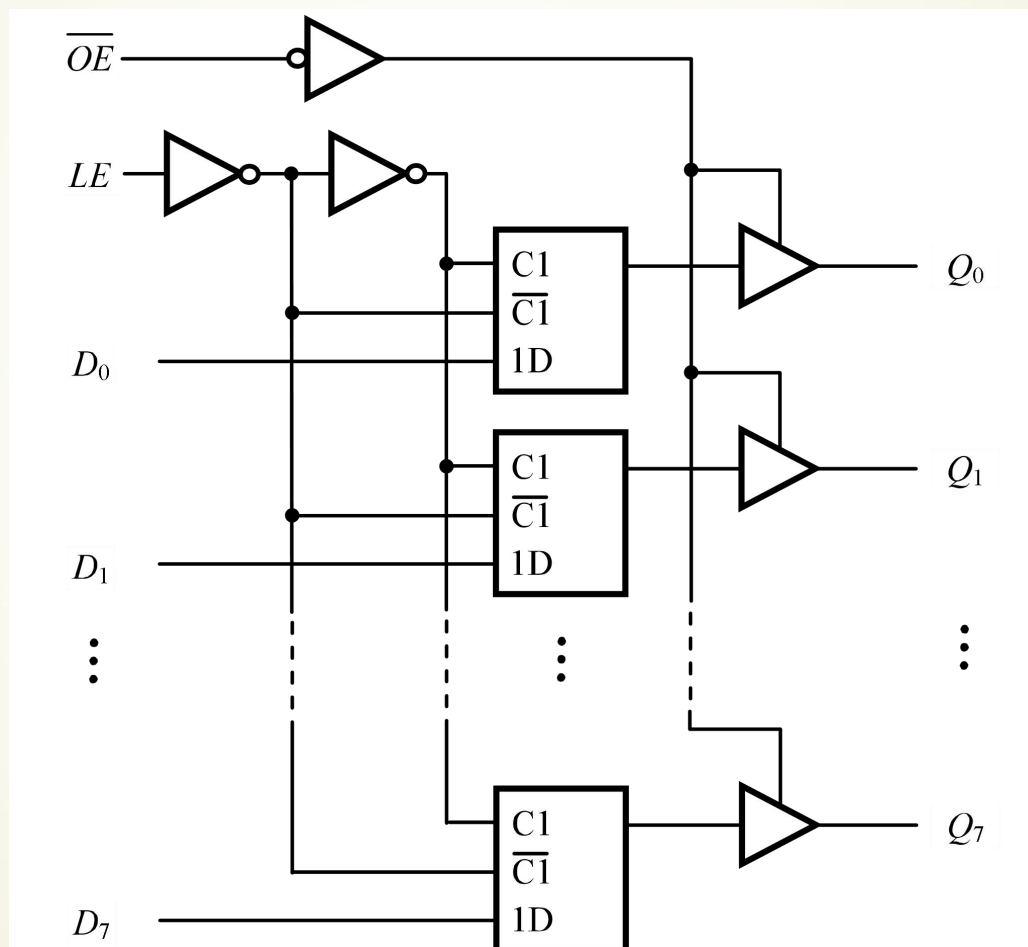
$E=0$ Q 不变

$E=1$ $D=0$ $S=0$ $R=1$ $Q=0$

$D=1$ $S=1$ $R=0$ $Q=1$

5.3.2 D 锁存器集成电路

74HC/HCT373 八 D 锁存器



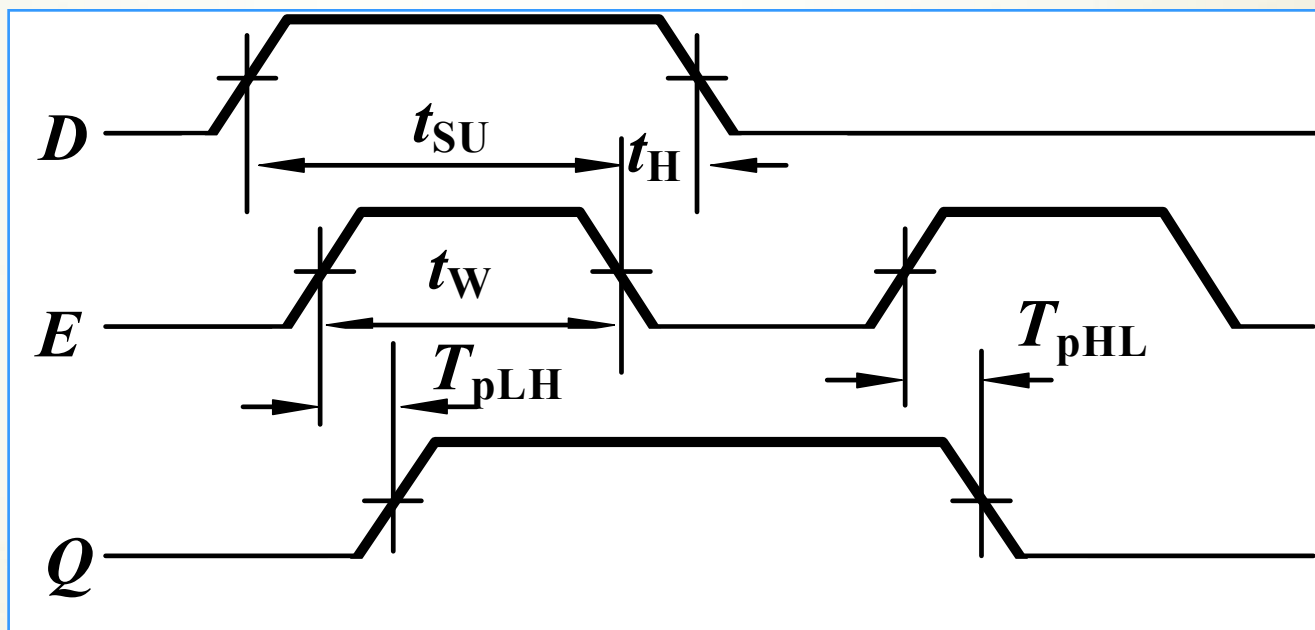
74HC/HCT373的功能表

工作模式	输 入			内部锁存器 状 态	输 出 Q_n
	$\overline{OE}$	LE	D_n		
使能和读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L*和H*表示门控电平 LE 由高变低之前瞬间 D_n 的逻辑电平。

5.3.3 D锁存器的动态特性

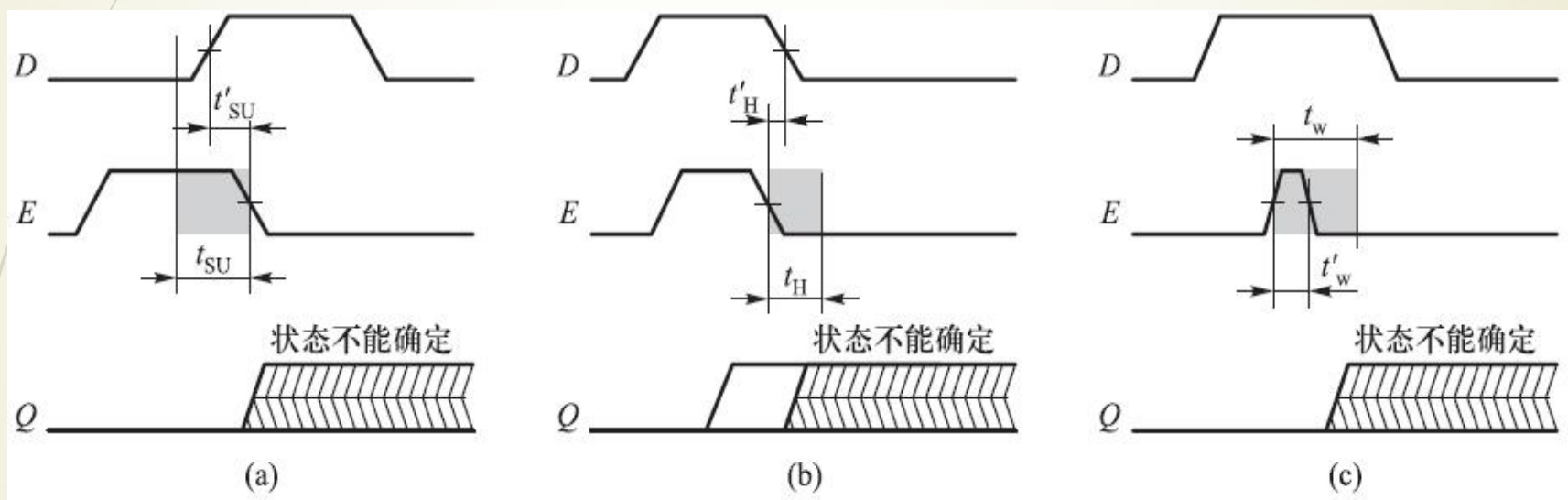
时序图:表示电路动作过程中, 对各输入信号的时间要求以及输出对输入信号的响应时间。



有建立时间 t_{SU} 、保持时间 t_H 、脉冲宽度 t_W 等。

5.3.3 D锁存器的动态特性

t_{SU} 、 t_H 和 t_w 达不到要求，可能导致不确定的逻辑输出。



(a) $t'_{SU} < t_{SU}$

(b) $t'_H < t_H$

(c) $t'_w < t_w$

5.4 D 触发器

5.4.1 主从 D 触发器

5.4.2 具有清零和置数输入的主从 D 触发器

5.4.3 具有使能控制的主从 D 触发器

5.4.4 其他结构的 D 触发器

5.4.4 D 触发器的动态特性

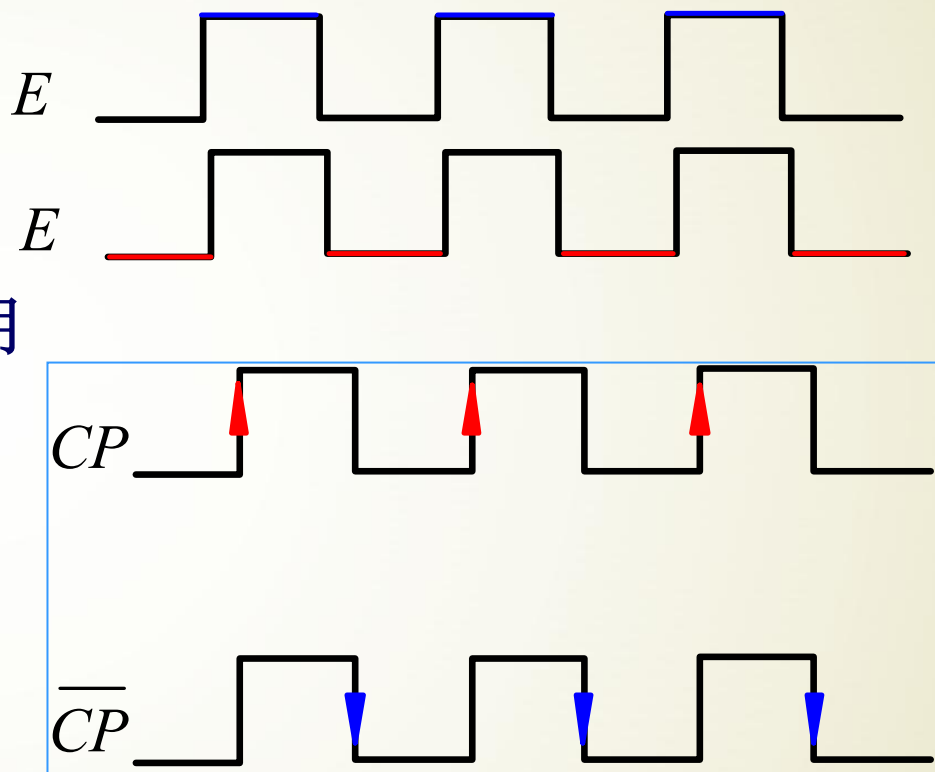
5.4 D触发器

◆ 锁存器与触发器

◆ 锁存器在 E 的高(低)电平期间对信号敏感

◆ 触发器在 CP 的上升沿(下降沿)对信号敏感

◆ 在VerilogHDL中对锁存器与触发器的描述语句是不同的



5.4 D触发器

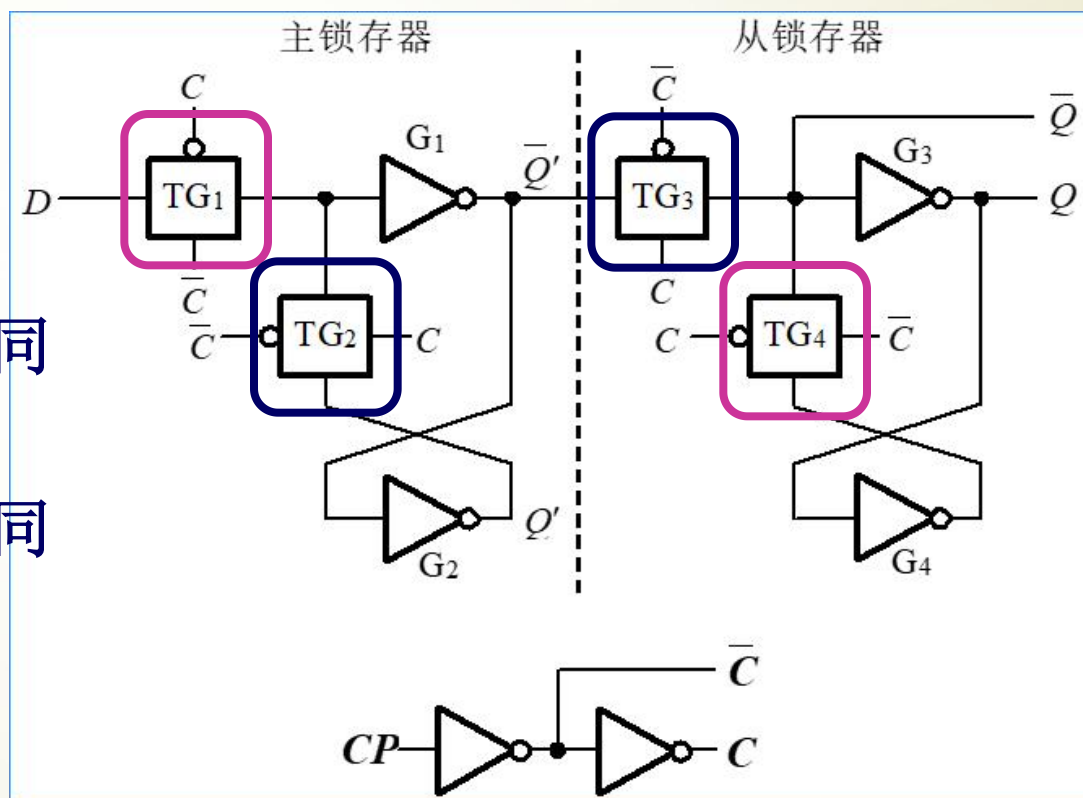
5.4.1 主从D触发器

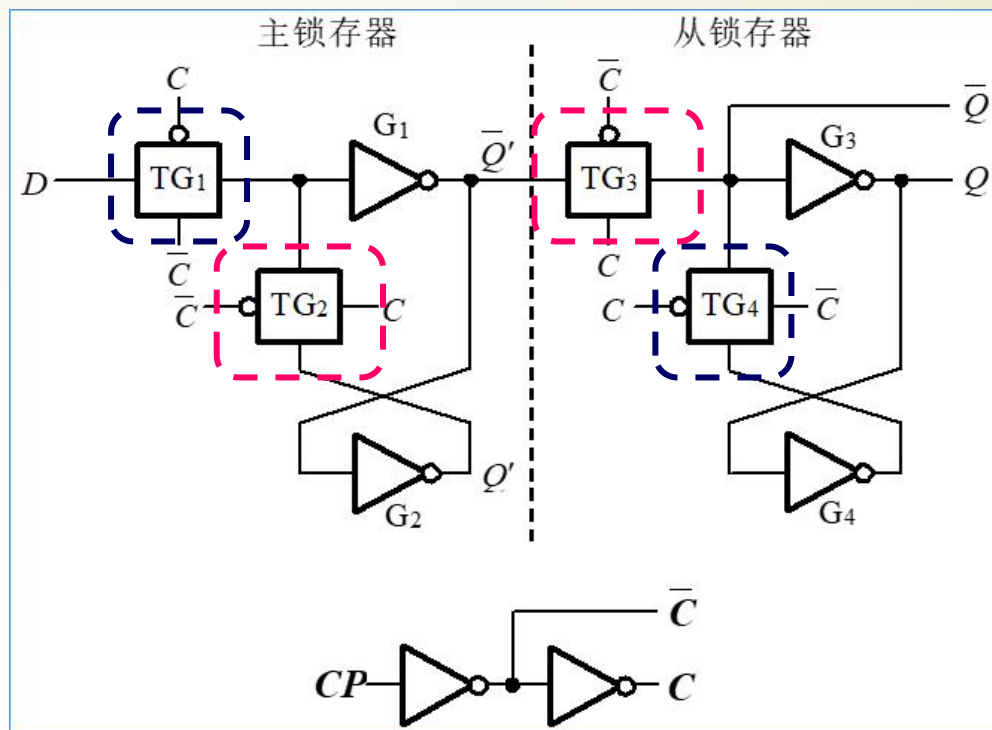
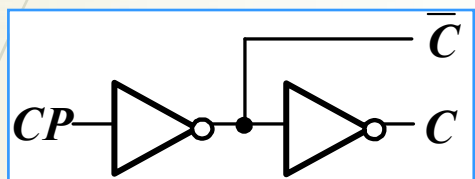
1. 电路结构

主锁存器与从锁存器结构相同

TG₁和**TG₄**的工作状态相同

TG₂和**TG₃**的工作状态相同



$$\overline{C} = 1, \quad C = 0,$$


TG₁导通，TG₂断开——输入信号*D*送入主锁存器。

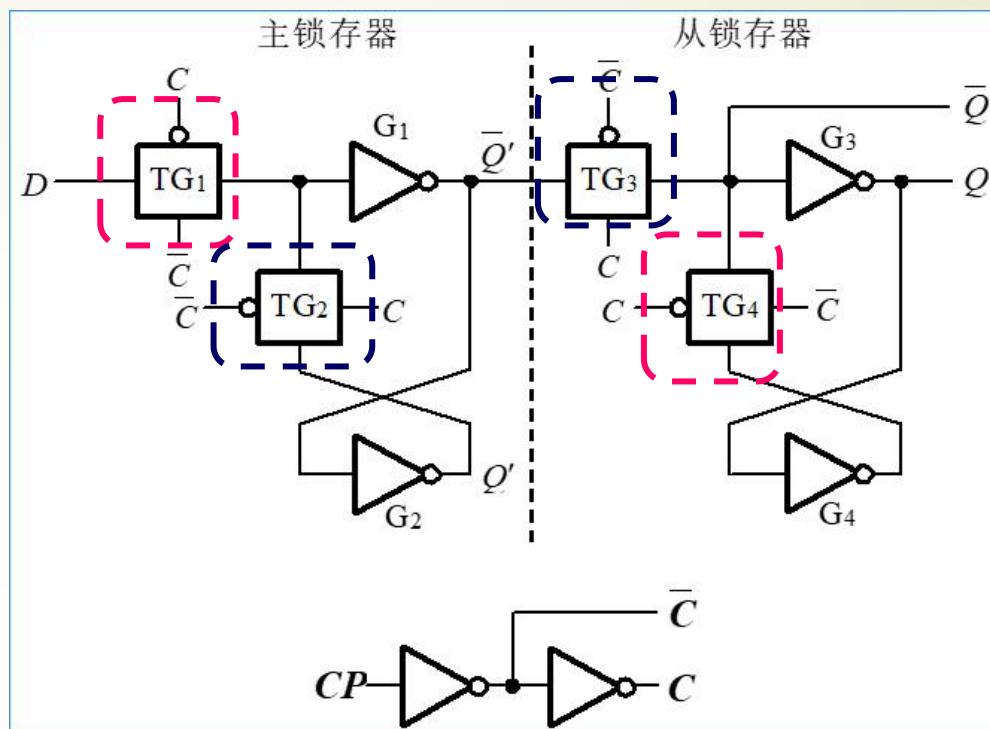
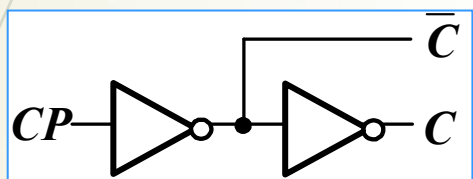
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG₃断开，TG₄导通——从锁存器维持在原来的状态不变。

2. 工作原理

(2) CP 由0跳变到1：

$$\bar{C} = 0, C = 1,$$



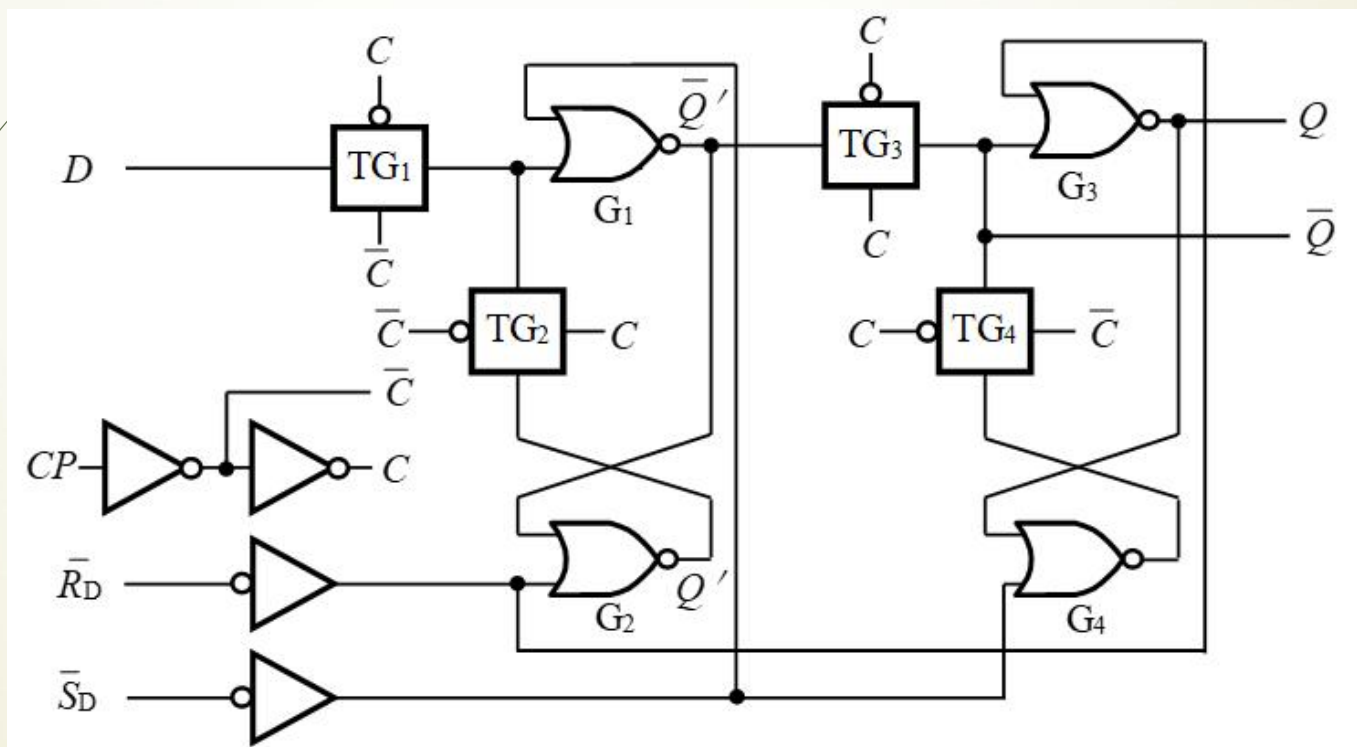
TG_1 断开, TG_2 导通——输入信号 D 不能送入主锁存器。
主锁存器维持原态不变。

TG_3 导通, TG_4 断开——从锁存器 Q' 的信号送 Q 端。

触发器的状态仅仅取决于 CP 信号上升沿到达前瞬间的 D 信号

5.4.2 具有清零和置数输入的主从D触发器

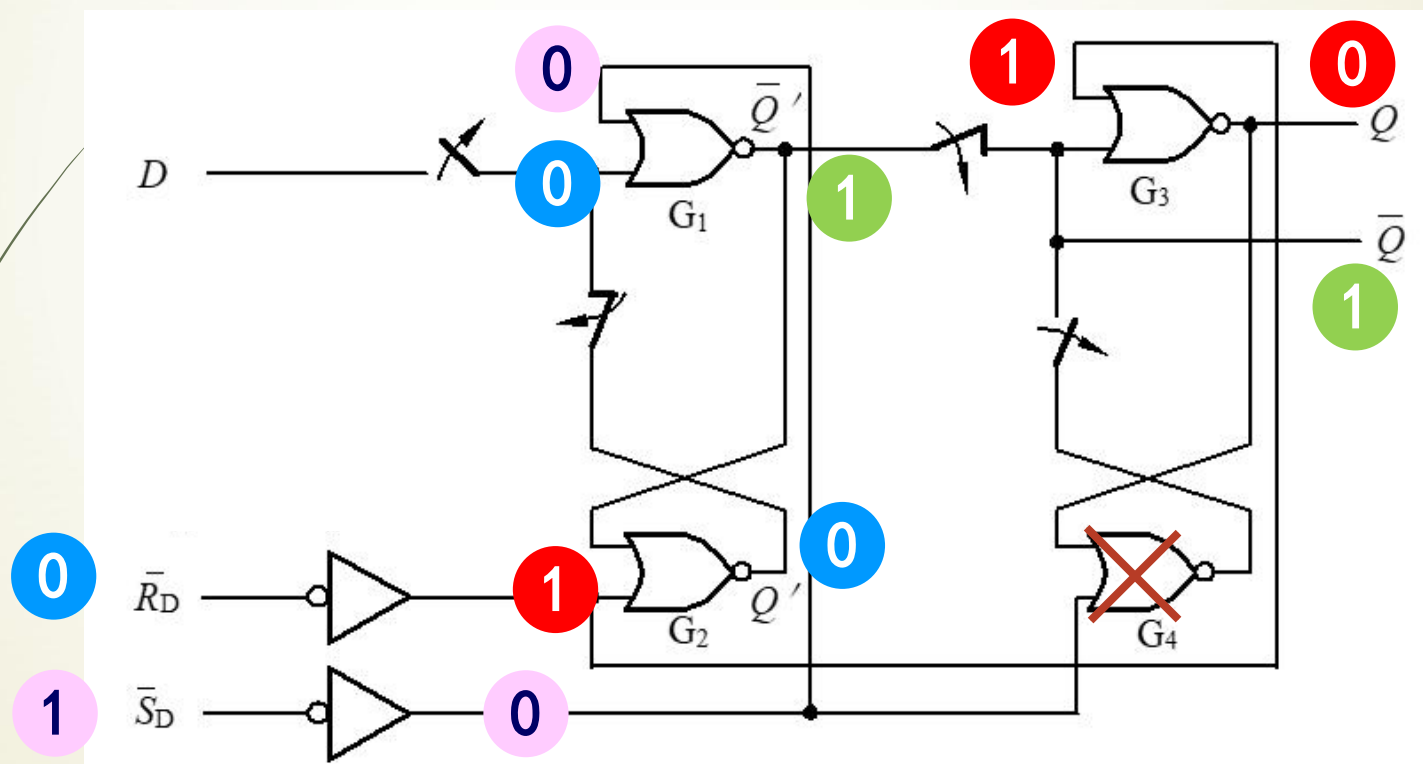
在实际中，需要对触发器设置初始状态，因此，增加了**清零**和**置数**输入端。并有**同步**和**异步**之分。下图清零和置数都是**异步**的。



1. 异步清零和异步置数

(1) $CP=1$ 时, TG1、TG4截止, TG2、TG3导通。G4无用。

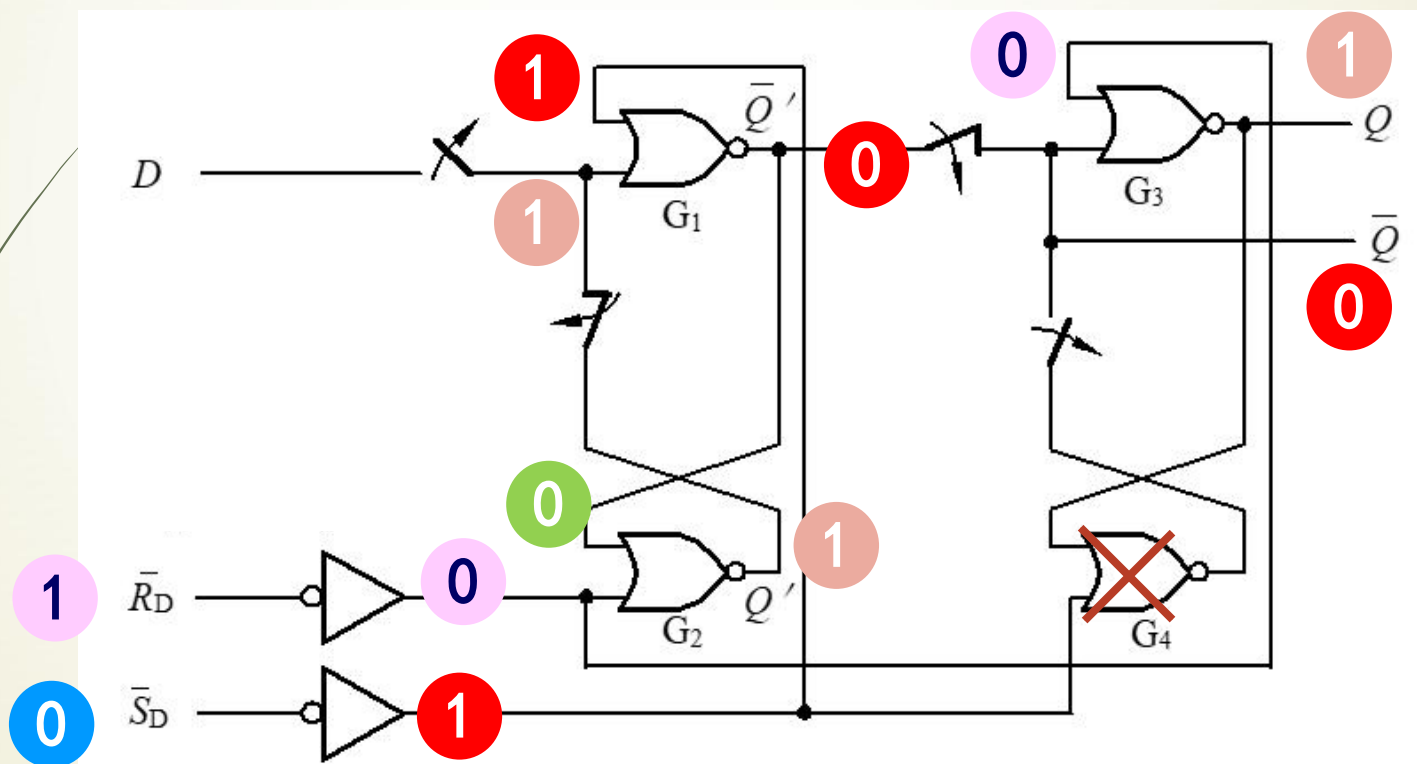
◆ $\overline{R_D}=0$ 、 $\overline{S_D}=1$, 使 $Q=0$ 、 $\overline{Q}=1$, 直接清零。



1. 异步清零和异步置数

(1) $CP=1$ 时, TG1、TG4截止, TG2、TG3导通。G4无用。

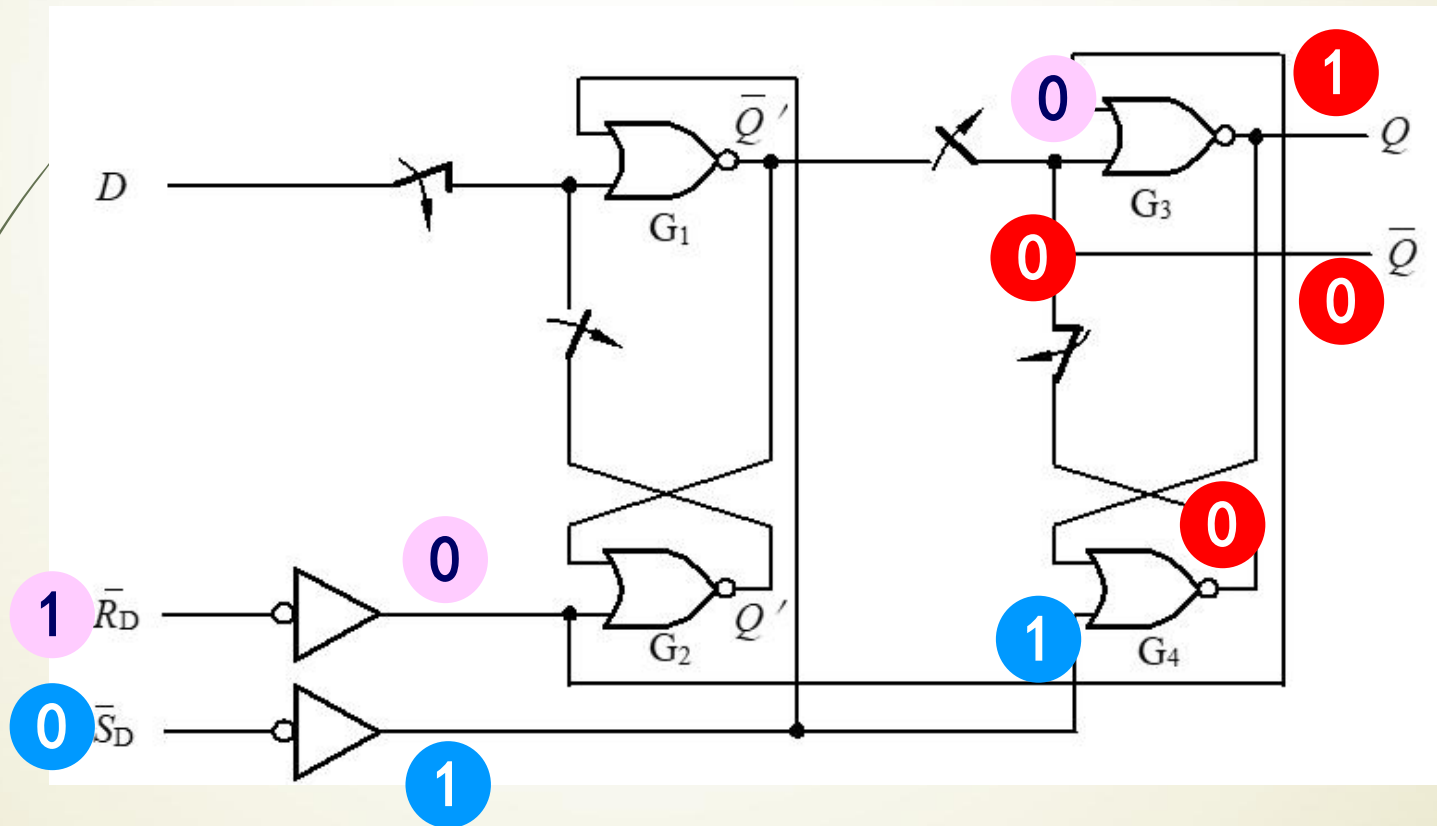
◆ $\overline{R_D}=1$ 、 $\overline{S_D}=0$, 使 $Q=1$ 、 $\overline{Q}=0$, 直接置数。



1. 异步清零和异步置数

(2) $CP=0$ 时, TG3截止、TG4导通, 主、从锁存器断开。

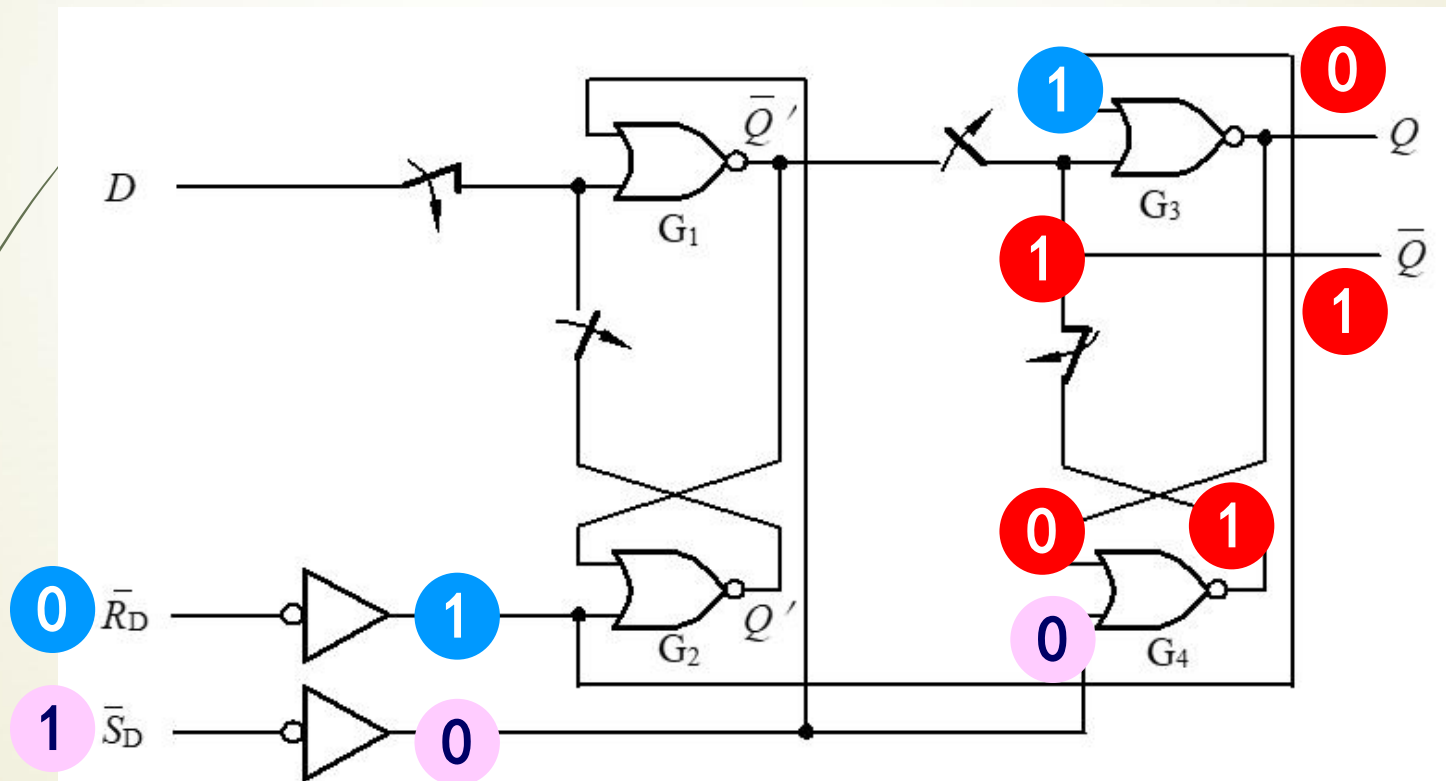
◆ $\overline{R_D}=1$ 、 $\overline{S_D}=0$, 使 $Q=1$ 、 $\overline{Q}=0$, 直接置数。



1. 异步清零和异步置数

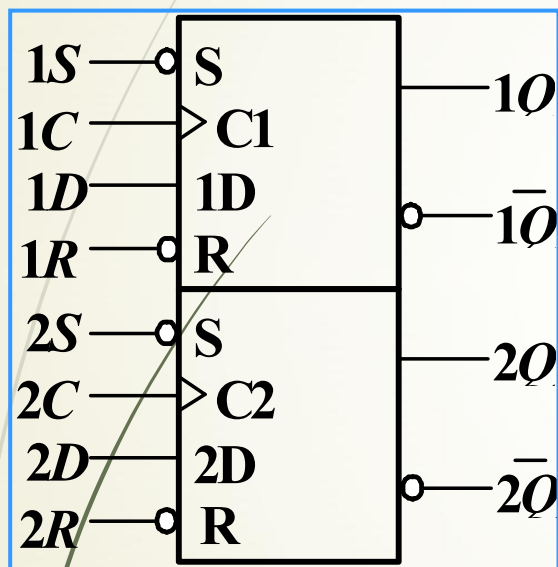
(2) $CP=0$ 时, TG3截止、TG4导通, 主、从锁存器断开。

◆ $\overline{R_D}=0$ 、 $\overline{S_D}=1$, 使 $Q=0$ 、 $\overline{Q}=1$, 直接清零。



2. 集成D触发器

74HC/HCT74的逻辑符号和功能表



国标逻辑符号

功能表

输 入				输 出	
$\overline{S}_D$	$\overline{R}_D$	CP	D	Q	$\overline{Q}$
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
$\overline{S}_D$	$\overline{R}_D$	CP	D	Q^{n+1}	$\overline{Q}^{n+1}$
H	H	↑	L	L	H
H	H	↑	H	H	L

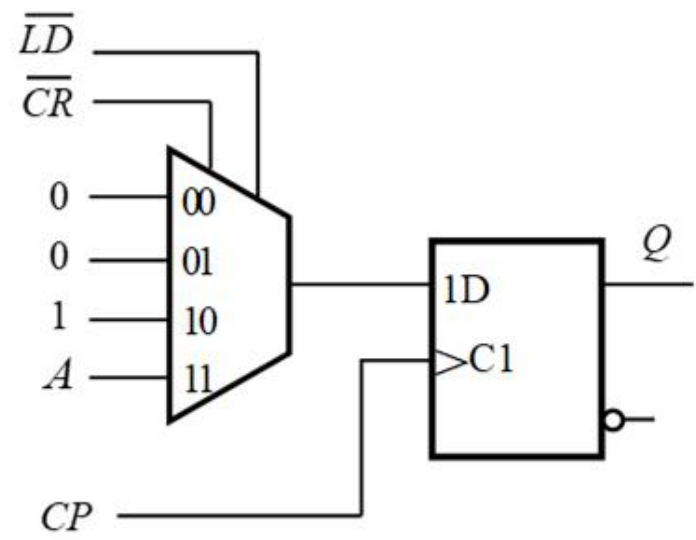
具有直接置1、直接置0，正边沿触发的D功能触发器

3. 同步清零和同步置数

例：电路及 CP 、 $\overline{CR}$ 、 $\overline{LD}$ 、 A 端的波形如图所示。试画出 Q 的波形，并说明电路的功能。设触发器初态为 $Q=0$ 。

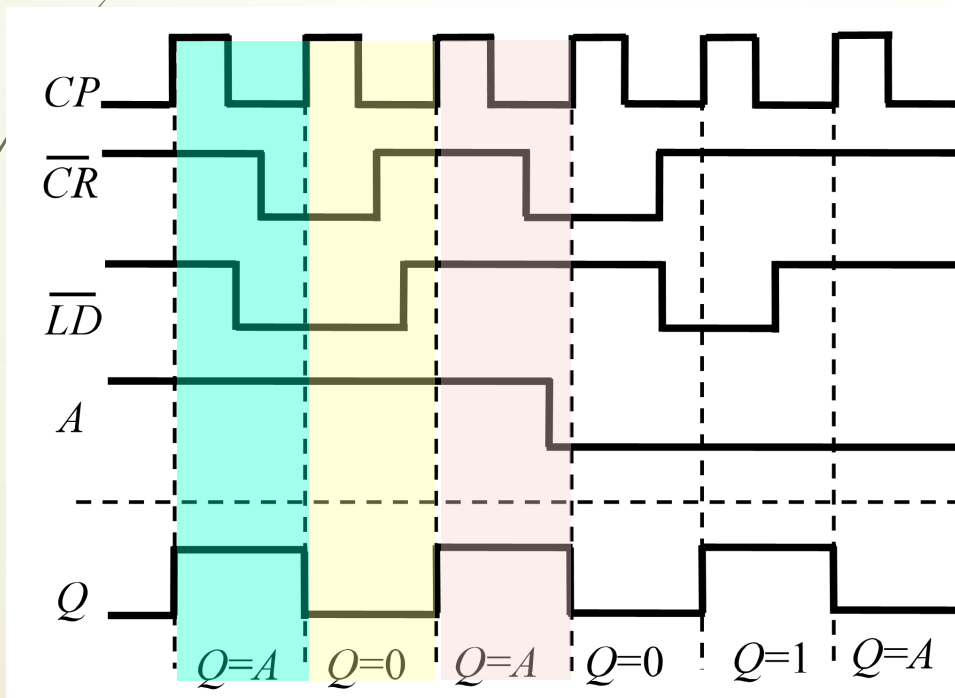
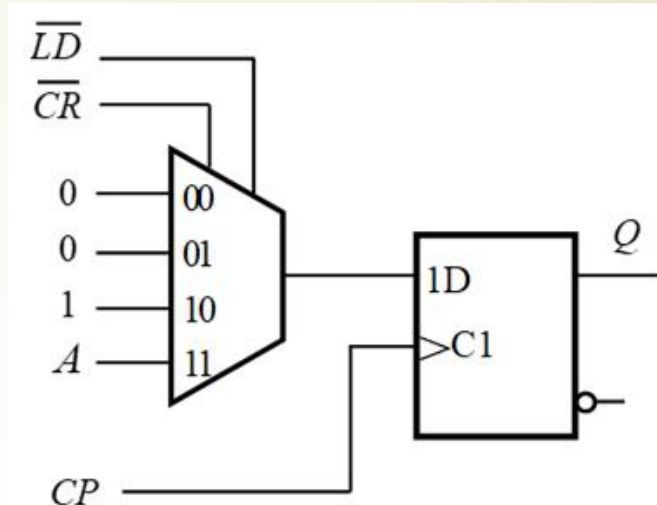
解： Q 更新是 CP 上升沿到后，由 D 端值确定。 $\overline{CR}$ 、 $\overline{LD}$ 的不同取值，将数据输入端的0、1或 A 的值送到 D 端。

CP	$\overline{CR}$	$\overline{LD}$	A	Q	功能
↑	0	×	×	0	同步清零
↑	1	0	×	1	同步置数
↑	1	1	0	0	$Q=A$
↑	1	1	1	1	$Q=A$



3. 同步清零和同步置数

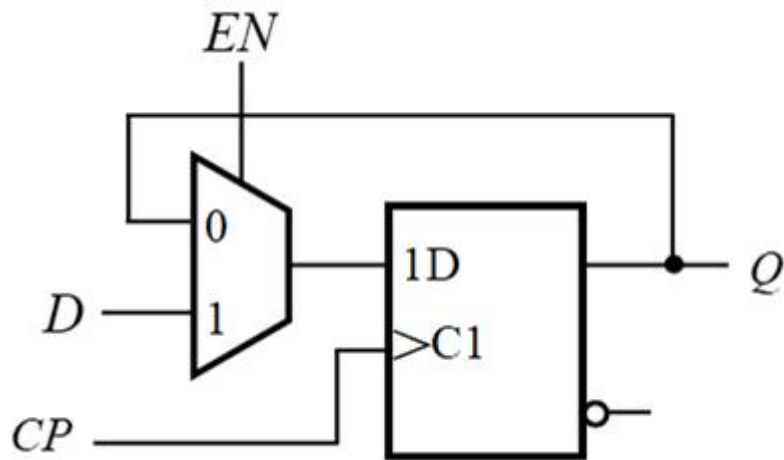
CP	$\overline{CR}$	$\overline{LD}$	A	Q	功能
↑	0	×	×	0	同步清零
↑	1	0	×	1	同步置数
↑	1	1	0	0	$Q=A$
↑	1	1	1	1	$Q=A$



5.4.3 具有使能控制的D触发器

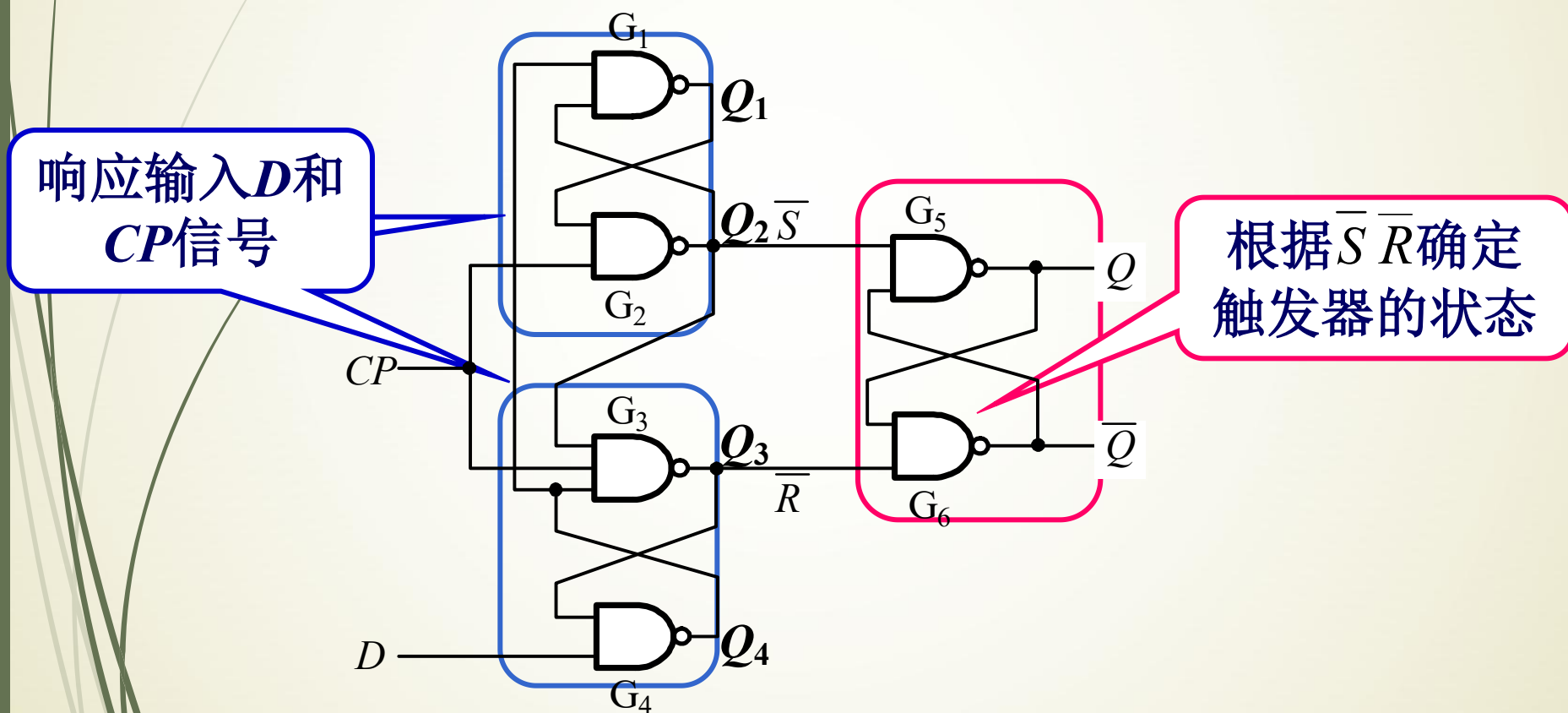
在实际中，通过数据选择器将使能端加到触发器的D输入端。

CP 上升沿控制，当 $EN=0$ 时，触发器处于保持状态。当 $EN=1$ 时， $Q=D$ 。



5.4.4 其他电路结构的D触发器

1. 维持阻塞触发器



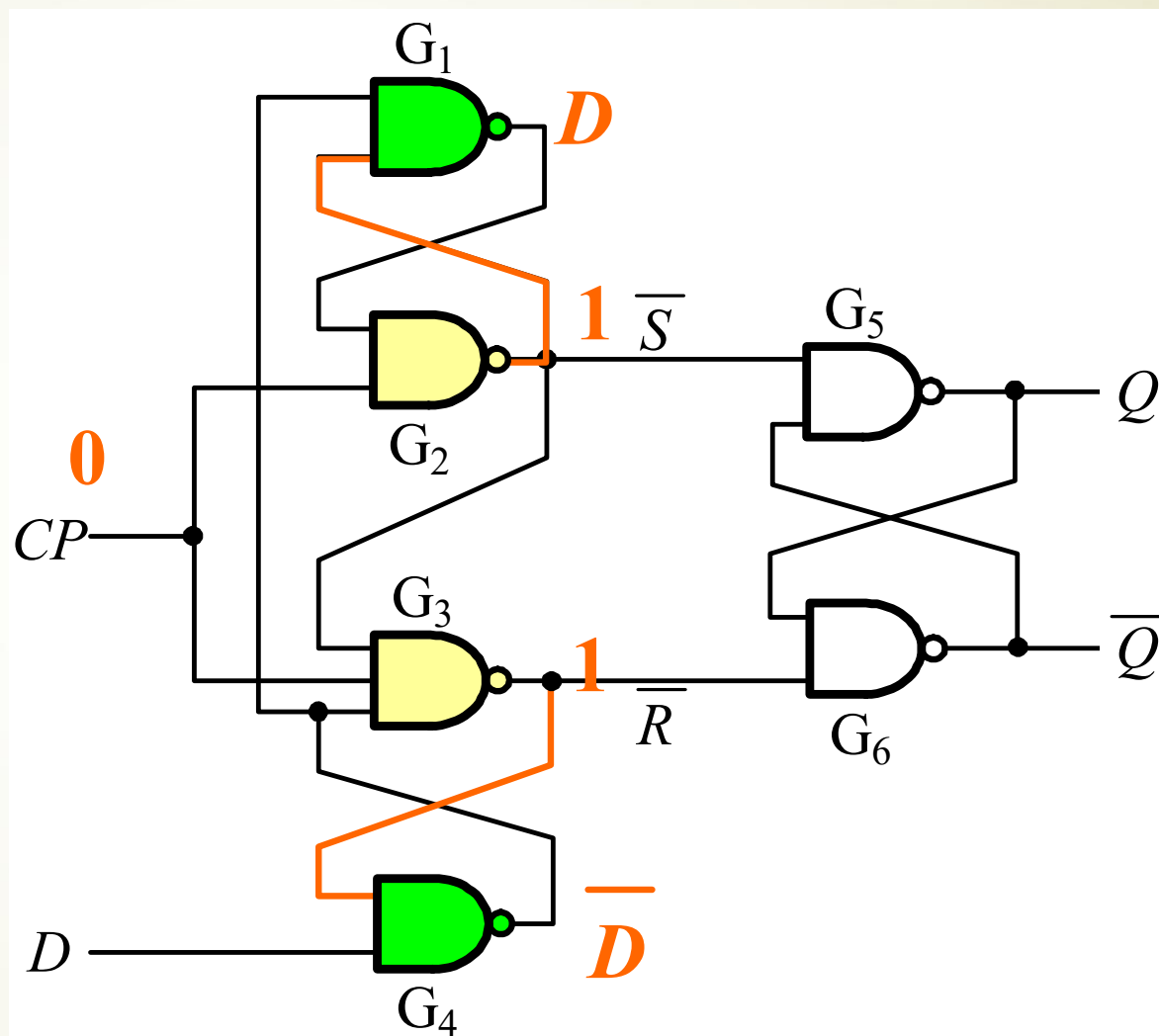
2、工作原理

$$CP = 0$$

$$Q_4 = \bar{D} \quad Q_1 = D$$

$$Q^{n+1} = Q^n$$

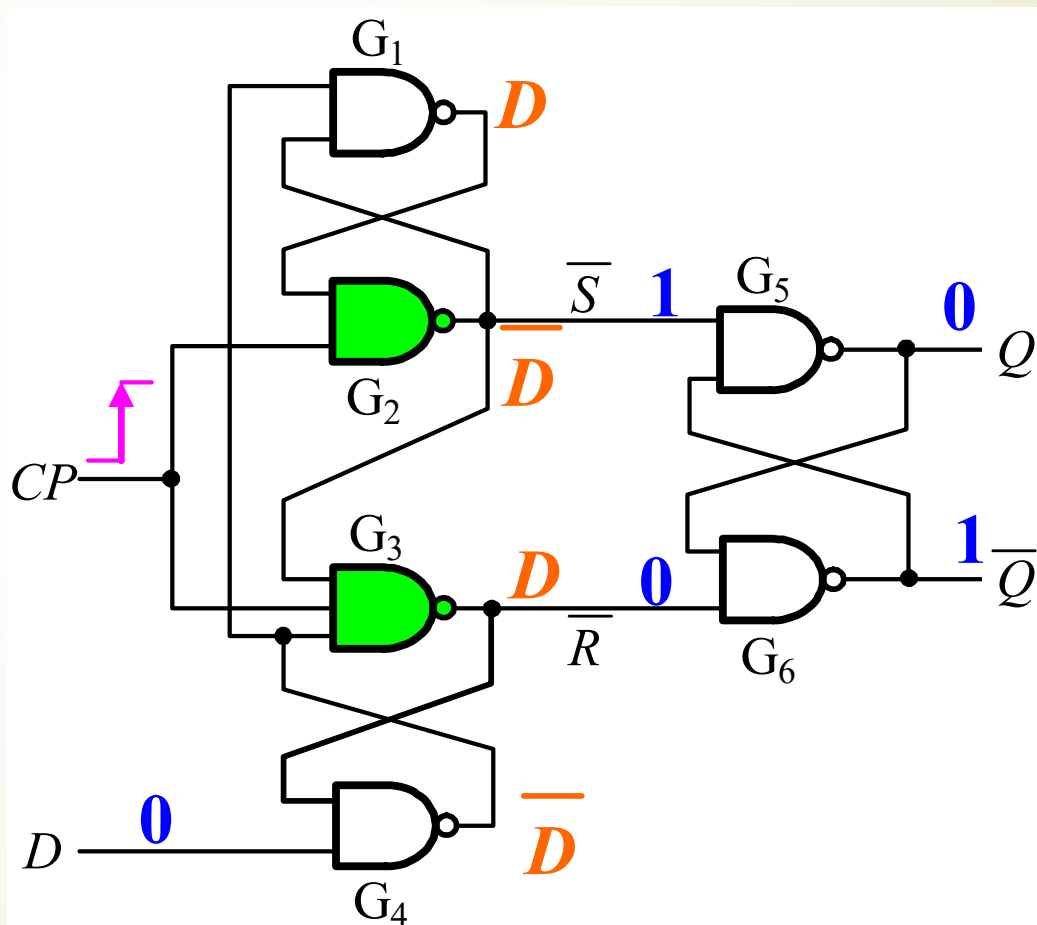
$\bar{D}$ 信号存于 Q_4



D 信号进入触发器, 为状态刷新作好准备

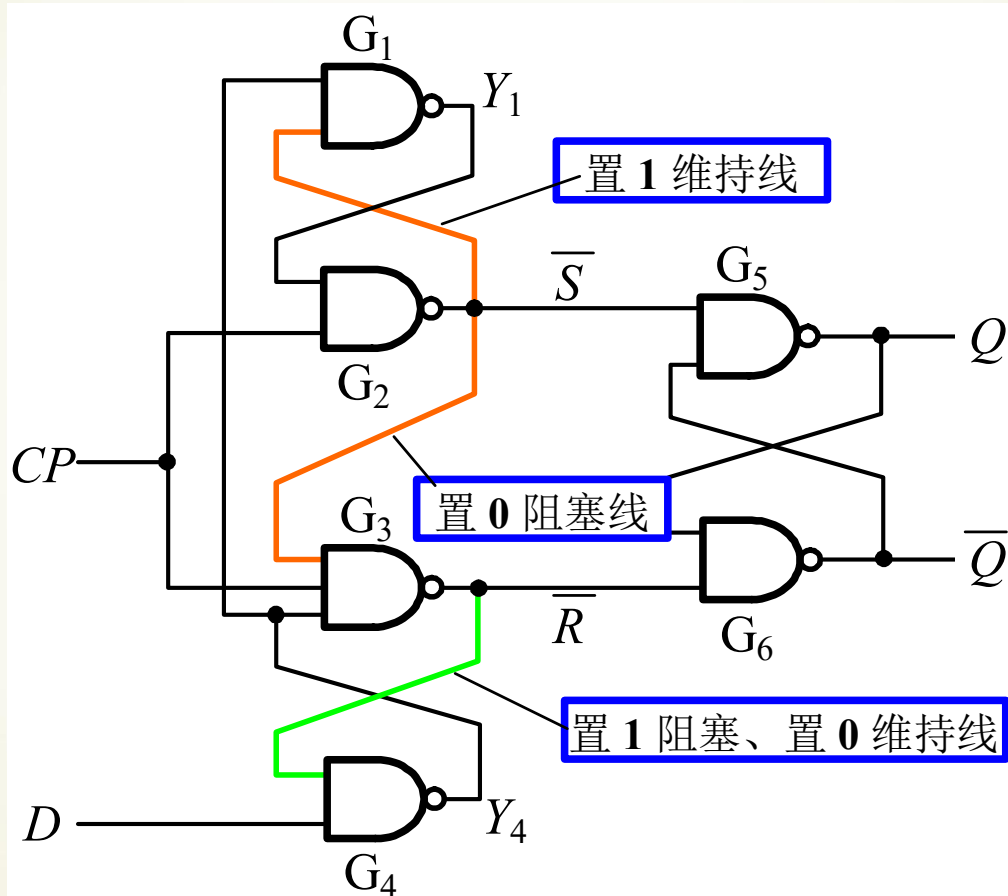
当 CP 由0跳变为1 $Q^{n+1} = D$

在 CP 脉冲的上升沿，触发器按此前的 D 信号刷新



当 $CP = 1$

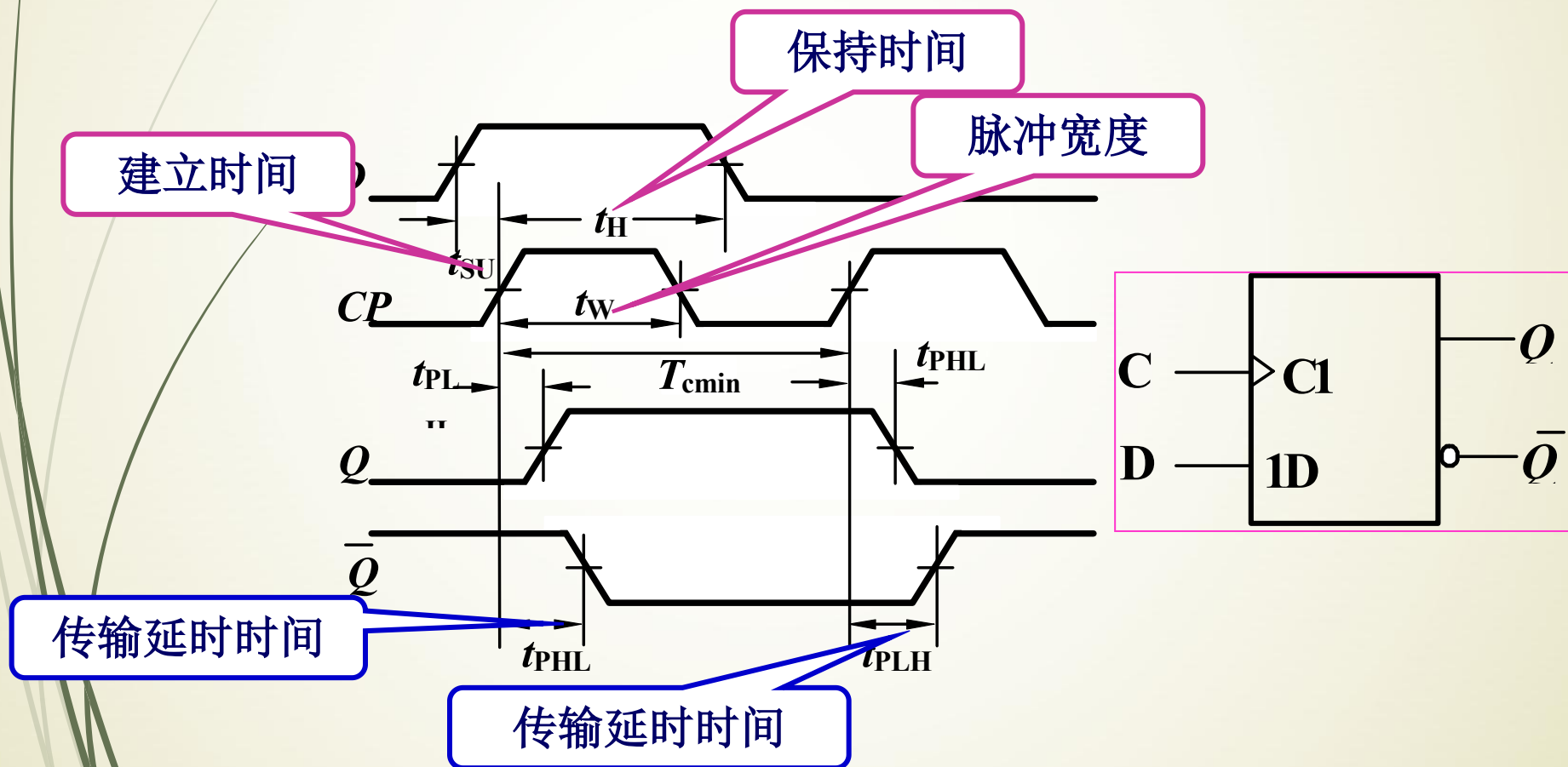
D 信号不影响 $\overline{S}$ 、 $\overline{R}$ 的状态， Q 的状态不变



在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

5.4.5 D触发器的动态特性

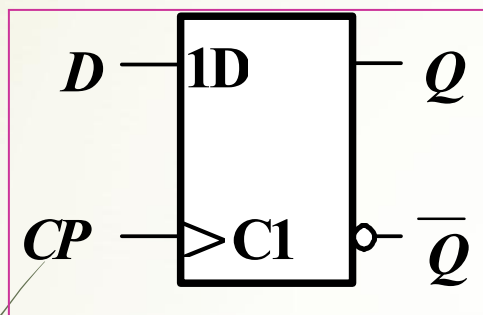
动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。



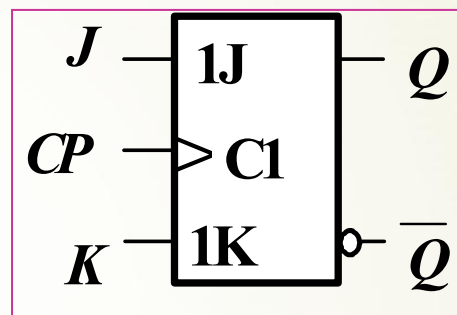
- ◆ 建立时间 t_{SU} : 保证与 D 相关的电路建立起稳定的状态, 使触发器状态得到正确的转换。
- ◆ 保持时间 t_H : 保证 D 状态可靠地传送到 Q
- ◆ 触发脉冲宽度 t_W : 保证内部各门正确翻转。
- ◆ 传输延迟时间 t_{PLH} 和 t_{PHL} : 时钟脉冲 CP 上升沿至输出端新状态稳定建立起来的时间
- ◆ 最高触发频率 f_{cmax} : 触发器内部都要完成一系列动作, 需要一定的时间延迟, 所以对于 CP 最高工作频率有一个限制。

5.5 触发器的逻辑功能

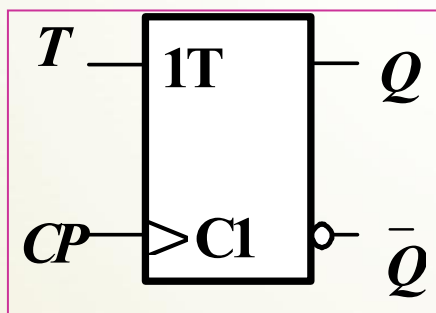
不同逻辑功能的触发器国际逻辑符号



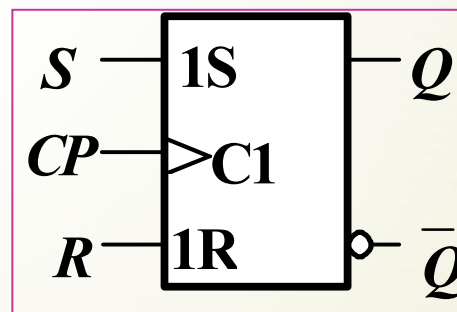
D 触发器



JK 触发器



T 触发器



RS 触发器

5.5.1 D 触发器

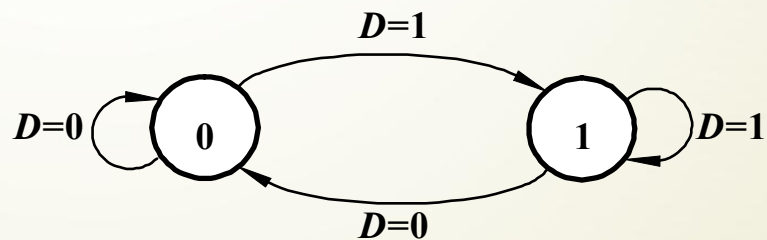
1. 特性表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.5.2 JK 触发器

1. 特性表

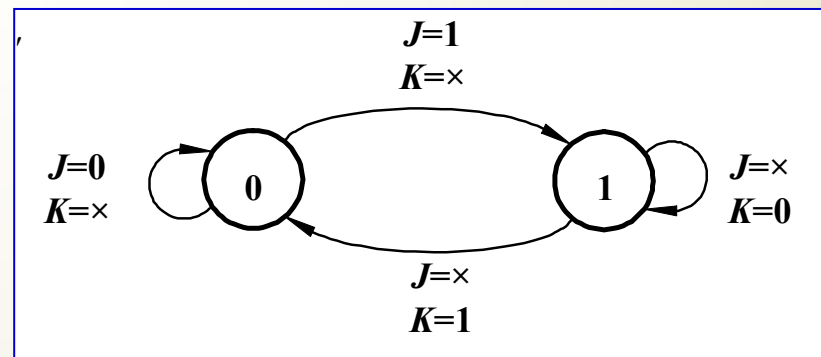
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
1	1	0	1	翻 转
1	1	1	0	

2. 特性方程

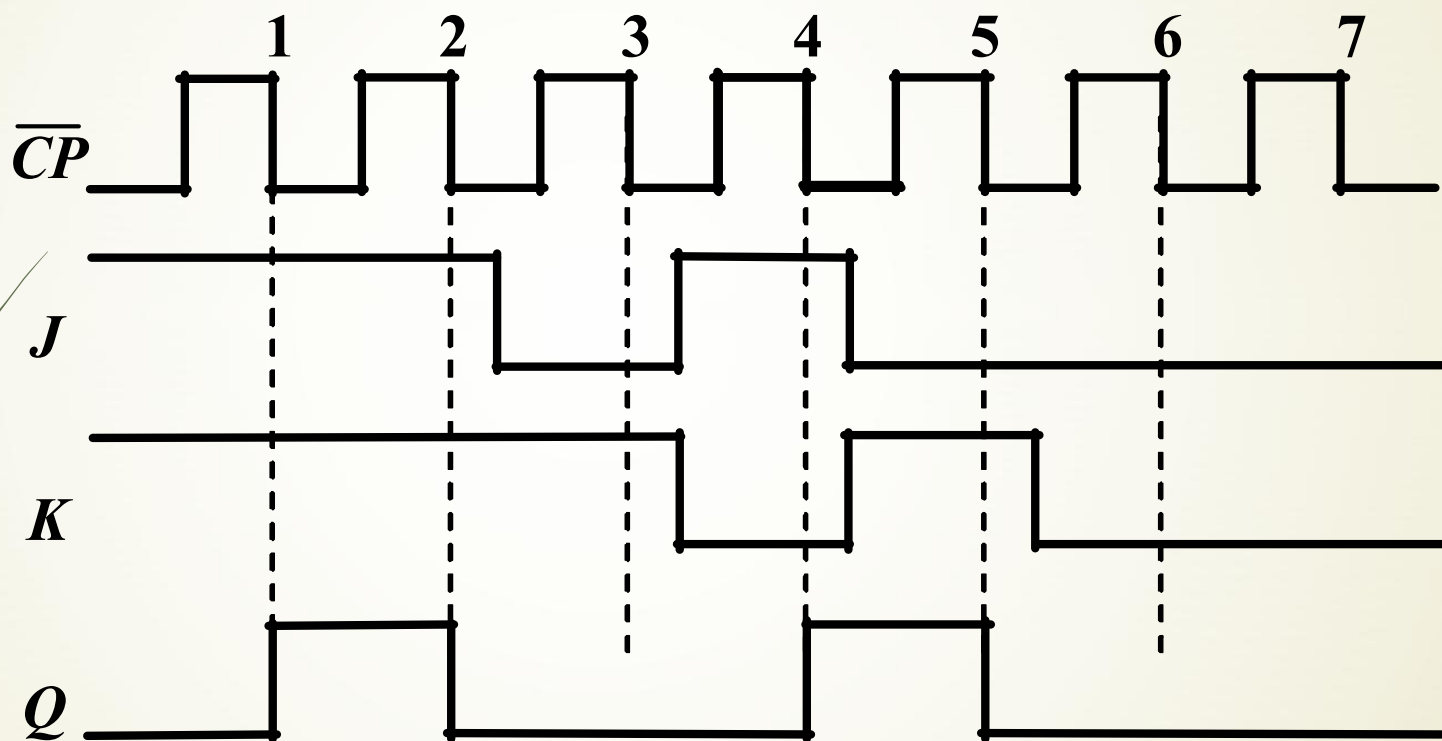
$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

3. 状态转换图



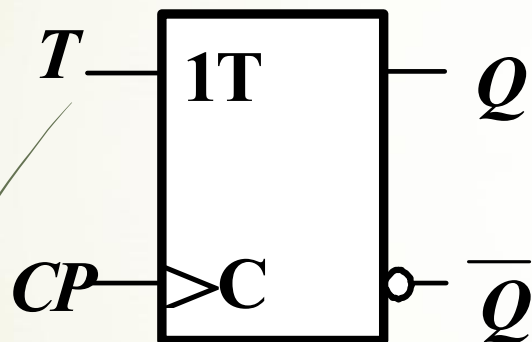
例5.4.1 设下降沿触发的JK触发器时钟脉冲和 J 、 K 信号的波形如图所示试画出输出端 Q 的波形。设触发器的初始状态为0。



5.5.3 T触发器

1. T触发器

逻辑符号



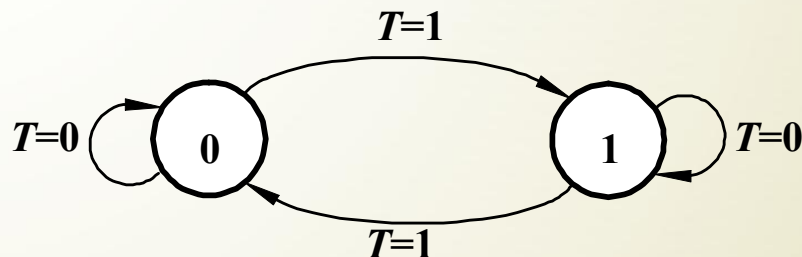
特性方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

特性表

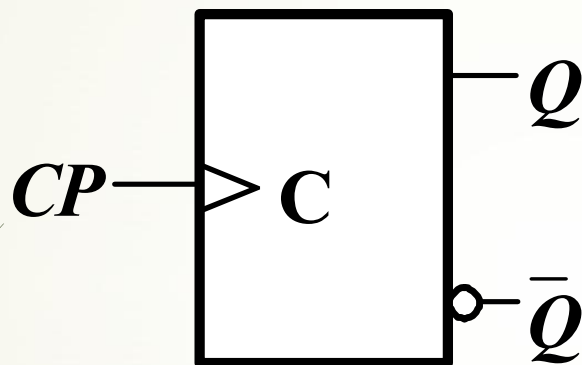
T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

状态转换图



2. T'触发器

逻辑符号



特性方程

$$Q^{n+1} = \overline{Q^n}$$

时钟脉冲每作用一次，触发器翻转一次。

5.5.4 SR 触发器

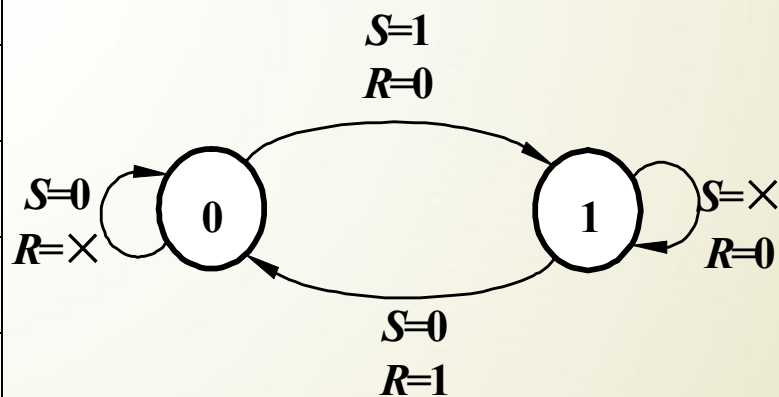
1. 特性表

Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不确定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不确定

2. 特性方程

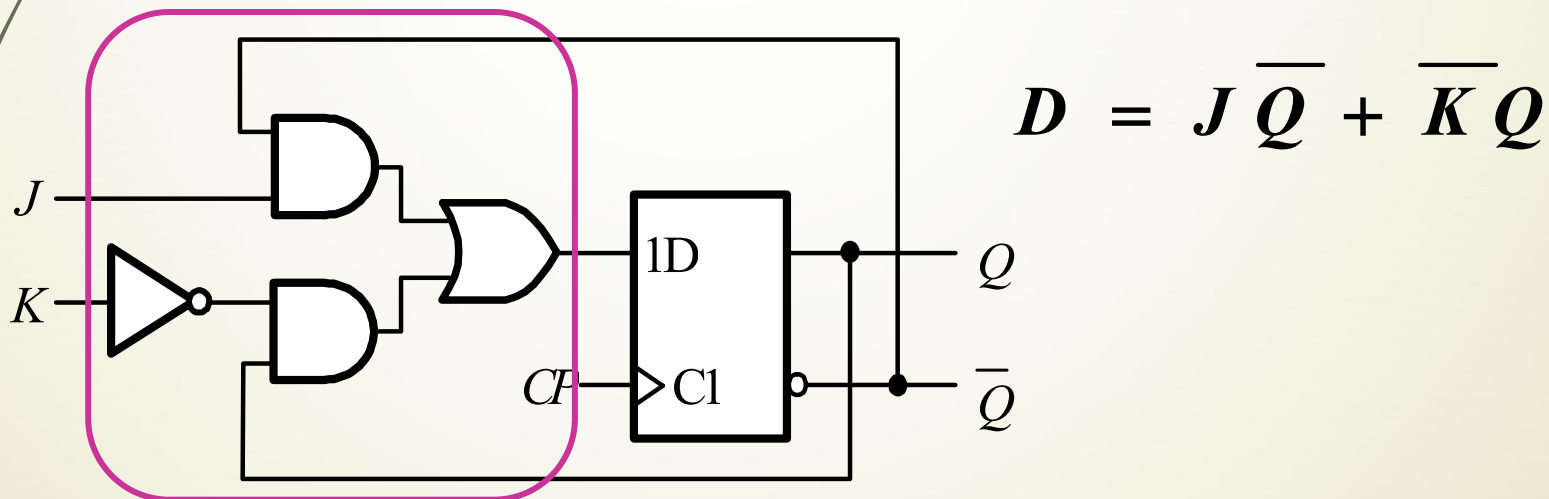
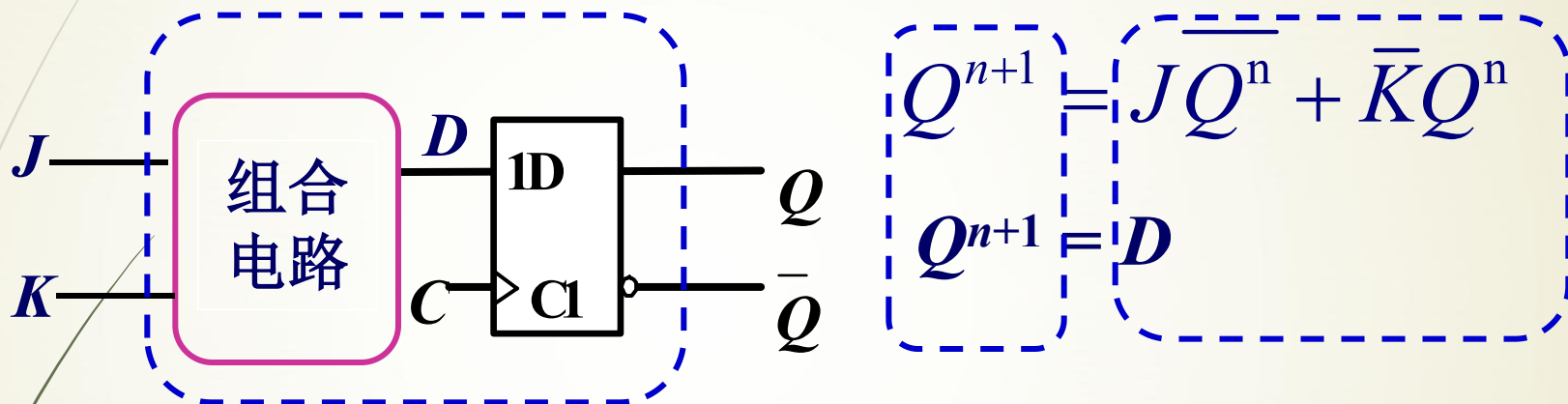
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图

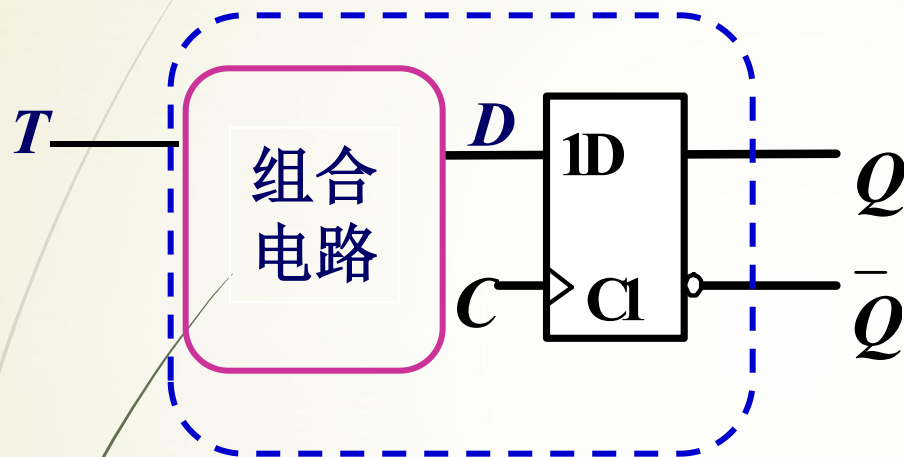


5.5.5 D触发器功能的转换

1. D 触发器构成 JK 触发器



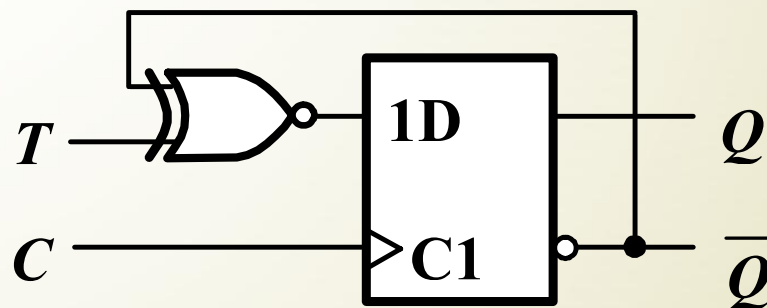
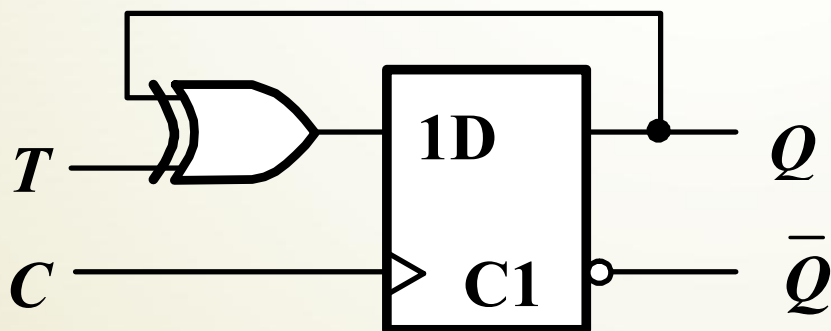
2. D 触发器构成 T 触发器



$$Q^{n+1} = D$$

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

$$D = T\overline{Q} + \overline{T}Q = T \oplus Q$$

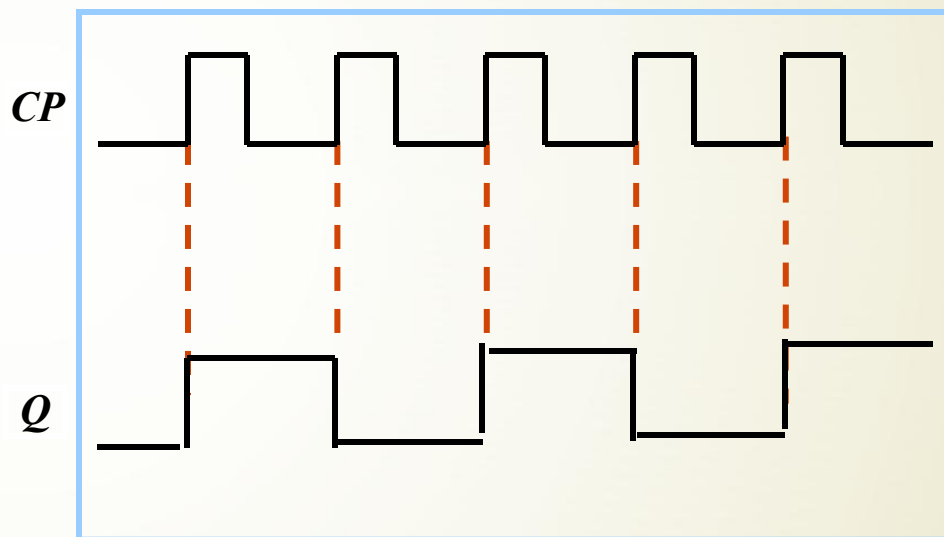
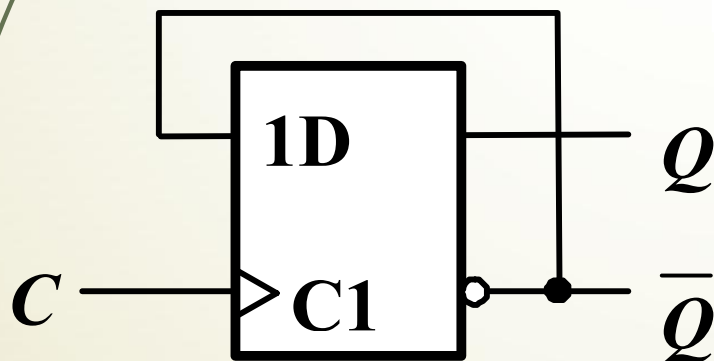


3. D 触发器构成 T 触发器

$$Q^{n+1} = D$$

$$Q^{n+1} = \overline{Q^n}$$

$$D = \overline{Q^n}$$



二分频

小 结

- 锁存器和触发器都是具有存储功能的逻辑电路，是构成时序电路的基本逻辑单元。每个锁存器或触发器都能存储1位二值信息。
- 锁存器是对脉冲电平敏感的电路，它们在一定电平作用下改变状态。
- 触发器是对时钟脉冲边沿敏感的电路，它们在时钟脉冲的上升沿或下降沿作用下改变状态。
- 触发器按逻辑功能分类有 D 触发器、 JK 触发器、 T (T') 触发器和 SR 触发器。它们的功能可用特性表、特性方程和状态图来描述。触发器的电路结构与逻辑功能没有必然联系。

5.6 用Verilog HDL描述锁存器和触发器

5.6.1 时序电路建模基础

5.6.2 锁存器和触发器的Verilog建模

5.6.1 时序电路建模基础

Verilog行为级描述用关键词initial或always, 但initial是面向仿真, 不能用于逻辑综合。

always是无限循环语句, 其用法为:

always@ (事件控制表达式 (或敏感事件表))

begin

块内局部变量的定义;

过程赋值语句;

end

敏感事件分为电平敏感事件和边沿触发事件：

电平敏感事件（如锁存器）：

always@(sel or a or b)

sel、a、b中任意一个电平发生变化，后面的过程赋值语句将执行一次。

边沿敏感事件（如触发器）：

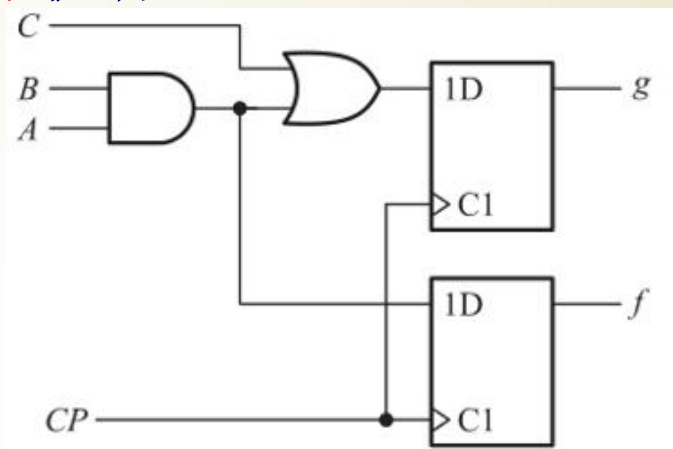
always@(posedge CP or negedge CR)

CP的上升沿或CR的下降沿来到，后面的过程语句就会执行。

过程赋值语句有阻塞型和非阻塞型：

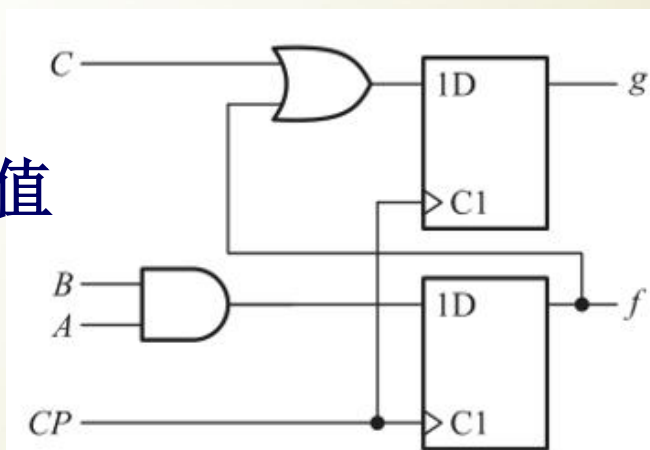
阻塞型用“=”表示，多条语句**顺序**执行。

```
begin
  f = A & B;
  g = f | C;
end
```



非阻塞型用“<=”表示，语句块内部的语句**并行**执行。

```
begin
  f <= A & B;
  g <= f | C;    // g用CP上升沿前的f值
end
```



5.6.2 锁存器和触发器的Verilog建模实例

```
module D_latch (Q, D, E); //D锁存器的描述  
    output Q;  
    input D, E;  
    reg Q;  
    always @(E or D)  
        if (E) Q <= D;    //Same as: if (E== 1)  
endmodule
```

```
module DFF (  
    output reg Q,  
    input D, CP  
); //D触发器的描述  
    always @(posedge CP)  
        Q <= D;  
endmodule
```

例：分析下面Verilog模块, 说明其逻辑功能。

```
module async_set_rst_DFF (  
    output reg Q, QN,  
    input D, CP, Sd, Rd  
);  
always @(posedge CP, negedge Sd, negedge Rd)  
begin  
    if (~Sd || ~Rd)  
        if (~Sd ) begin Q <= 1'b1; QN <= 1'b0; end//异步置数  
        else      begin Q <= 1'b0; QN <= 1'b1; end//异步清零  
    else  
        begin Q <= D; QN <= ~D; end  
    end  
endmodule
```