

6. 时序逻辑电路

6.1 时序逻辑电路的基本概念

6.2 同步时序逻辑电路的分析

6.3 同步时序逻辑电路的设计

6.4 异步时序逻辑电路的分析

6.5 常用时序电路模块

6.6 时序逻辑的可编程电路实现

6.7 用Verilog描述时序逻辑电路

教学基本要求

- 1、熟练掌握时序逻辑电路的描述方式及其相互转换。
- 2、熟练掌握时序逻辑电路的分析方法
- 3、熟练掌握时序逻辑电路的设计方法
- 4、熟练掌握常用时序逻辑电路计数器、寄存器、移位寄存器的逻辑功能及其应用。
- 5、熟悉时序逻辑的可编程电路实现原理。
- 6、学会用Virelog HDL设计时序电路及时序可编程逻辑器件的方法。

6.1 时序逻辑电路的基本概念

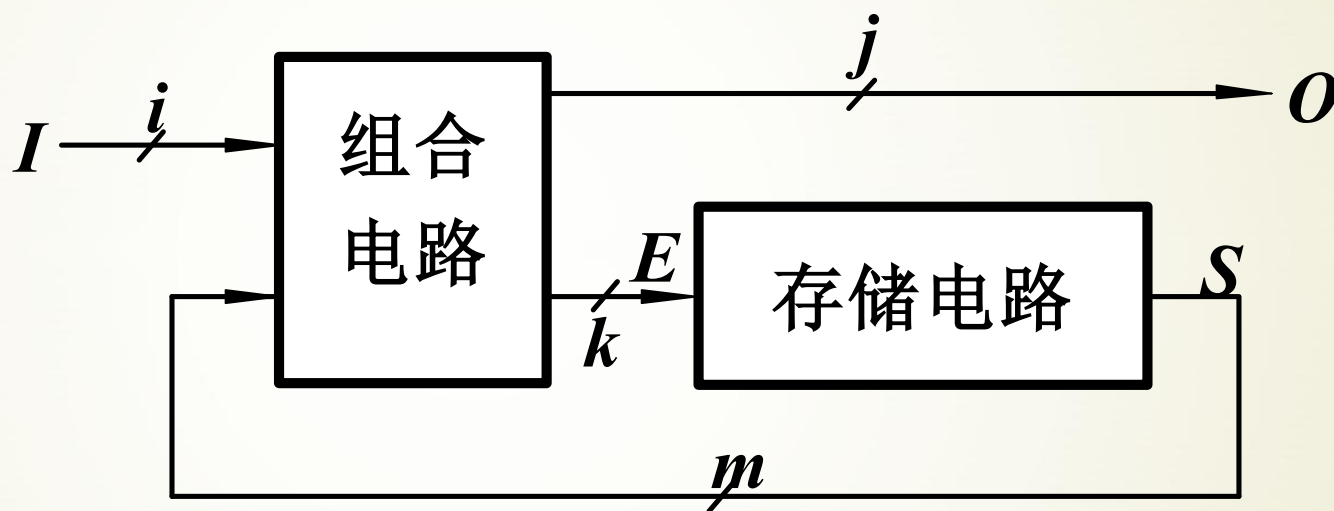
6.1.1 时序逻辑电路的模型与分类

6.1.2 时序电路逻辑功能的表达

6.1 时序逻辑电路的基本概念

6.1.1 时序逻辑电路的模型与分类

1. 时序电路的一般化模型



结构特征： *电路由组合电路和存储电路组成。

*电路存在反馈。

输出方程: $O = f_1(I, S)$

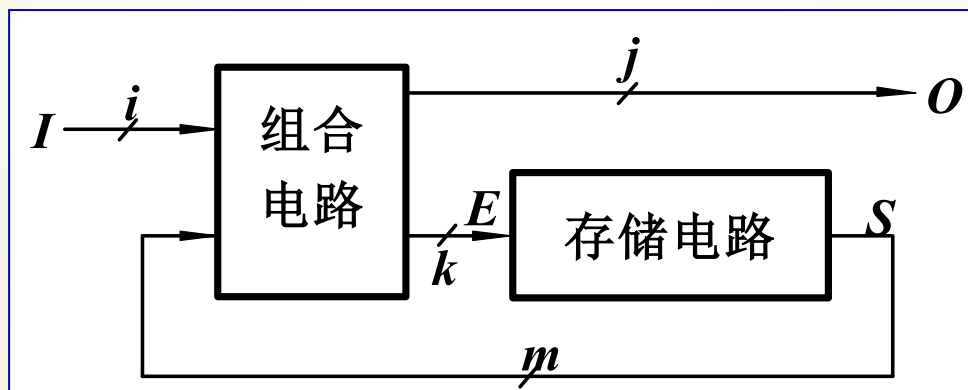
表达输出信号与输入信号、状态变量的关系式

激励方程: $E = f_2(I, S)$

表达了激励信号与输入信号、状态变量的关系式

状态转换方程: $S^{n+1} = f_3(E, S^n)$

表达存储电路从现态到次态的转换关系式

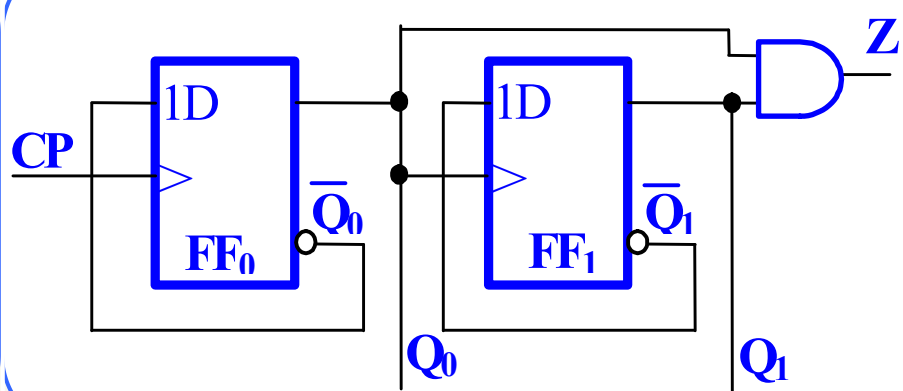
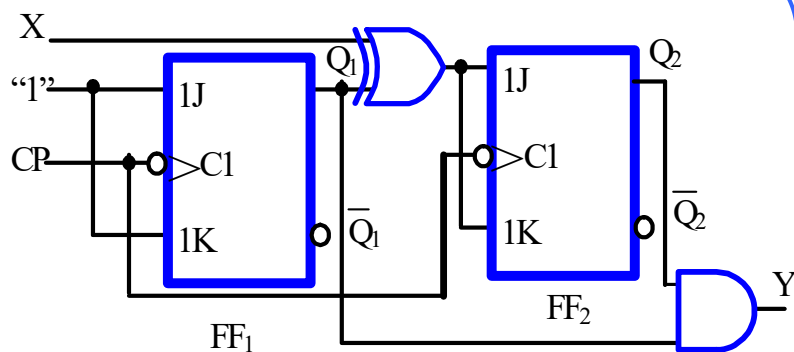


2. 异步时序电路与同步时序电路

时序电路

同步：存储电路里所有触发器有一个统一的时钟源，它们的状态在同一时刻更新。

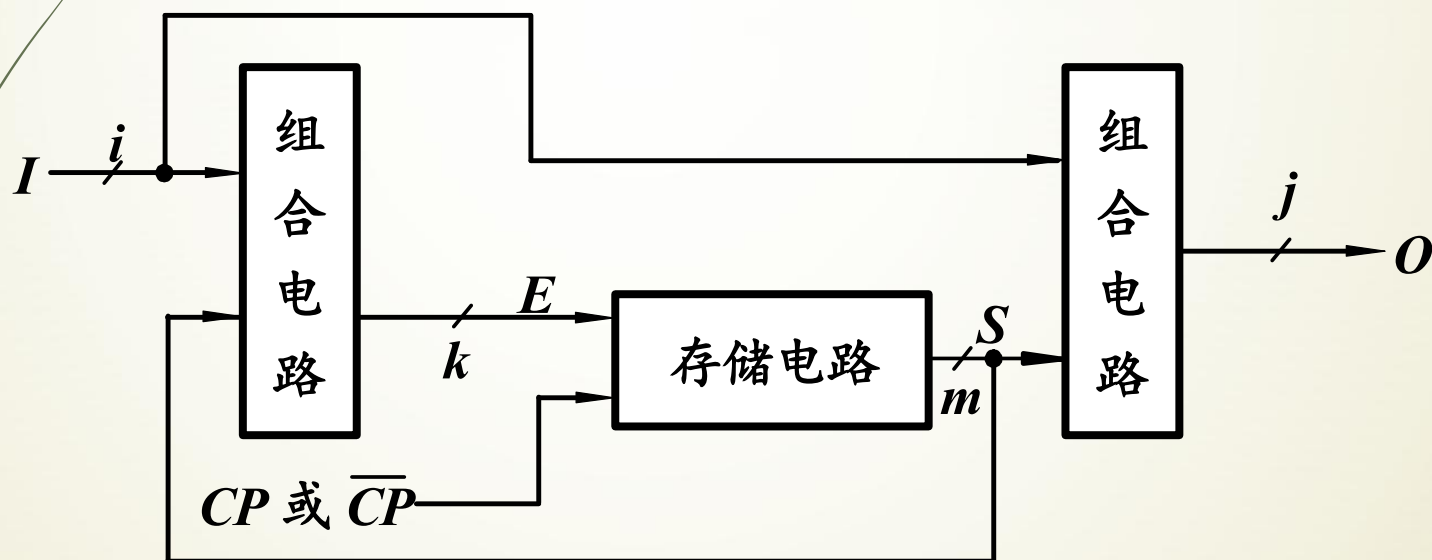
异步：没有统一的时钟脉冲或没有时钟脉冲，电路的状态更新不是同时发生的。



3. 米利型和穆尔型时序电路

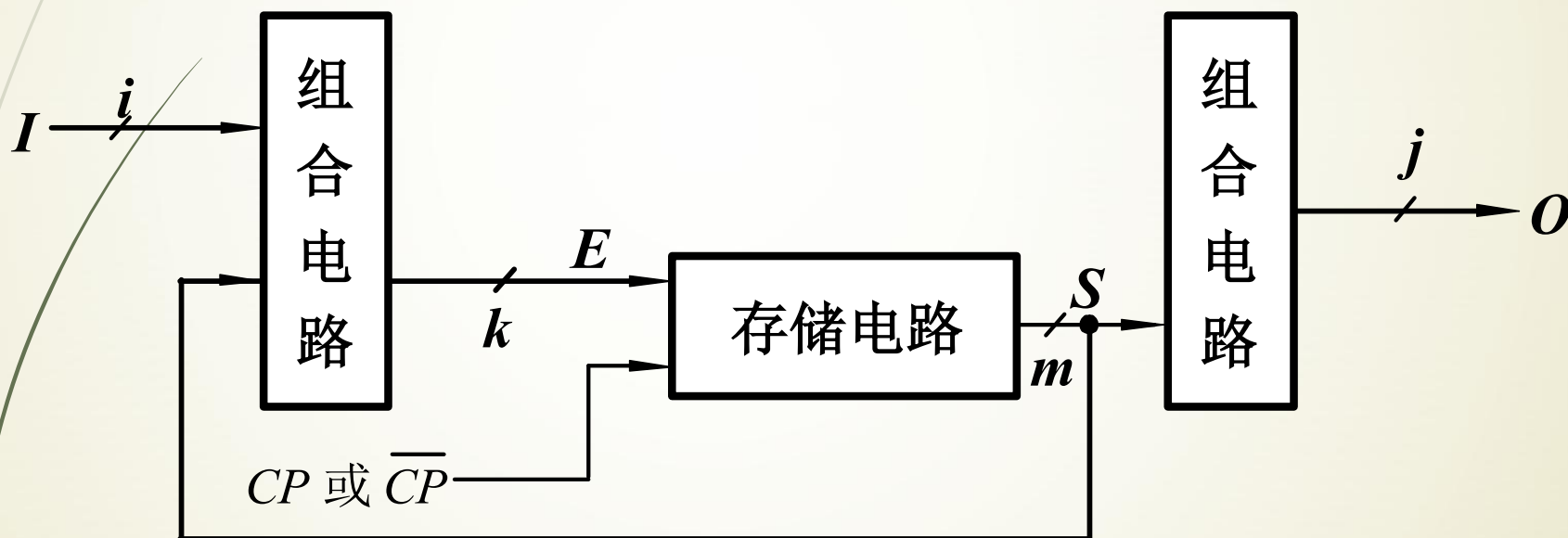
米利型电路

电路的输出是输入变量及触发器输出的函数，
这类时序电路亦称为米利型电路



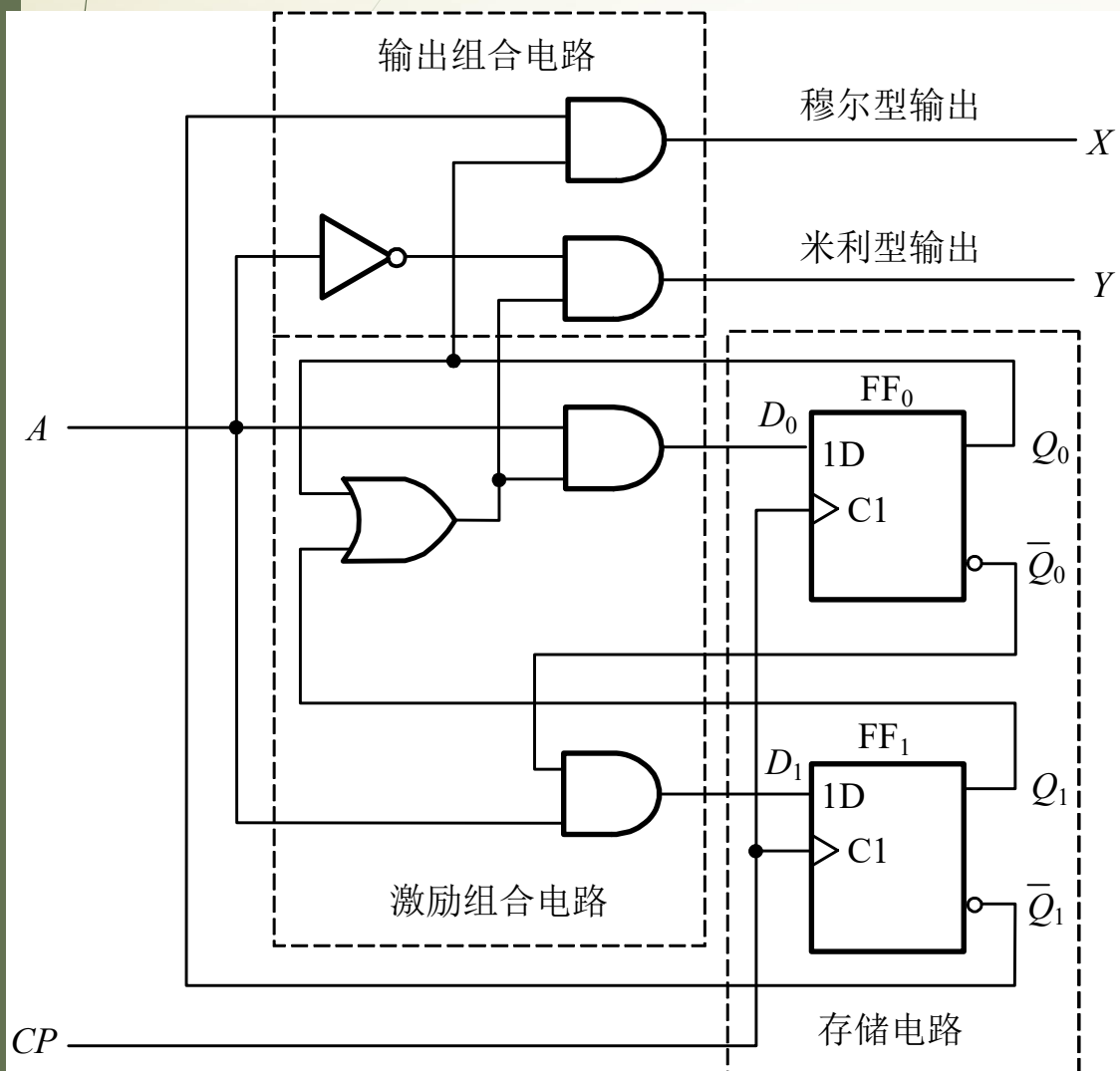
穆尔型电路

电路输出仅仅取决于各触发器的状态，而不受电路当时的输入信号影响或没有输入变量，这类电路称为穆尔型电路



6.1.2 时序电路功能的表达方法

1. 逻辑方程组



输出方程

$$X = \bar{Q}_1 Q_0$$
$$Y = (Q_0 + Q_1) \bar{A}$$

激励方程组

$$\begin{cases} D_0 = (Q_0 + Q_1) A \\ D_1 = \bar{Q}_0 A \end{cases}$$

状态转换方程组

$$Q_1^{n+1} = D$$

$$Q_0^{n+1} = (Q_0^n + Q_1^n) A$$

$$Q_1^{n+1} = \bar{Q}_0^n A$$

2. 根据方程组列出状态转换真值表

输出方程

$$X = \overline{Q_1} Q_0$$

$$Y = (Q_0 + Q_1) \overline{A}$$

状态转换方程组

$$Q_1^{n+1} = \overline{Q_0^n} A$$

$$Q_0^{n+1} = (Q_0^n + Q_1^n) A$$

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

3. 将状态转换真值表转换为状态转换表

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	X	Y
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	1	1
0	1	1	0	1	1	0
1	0	0	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	1
1	1	1	0	1	0	0

状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0

4. 用字符表示的状态转换表

令4个状态为00=a, 01=b, 10=c, 11=d, 得:

状态转换表

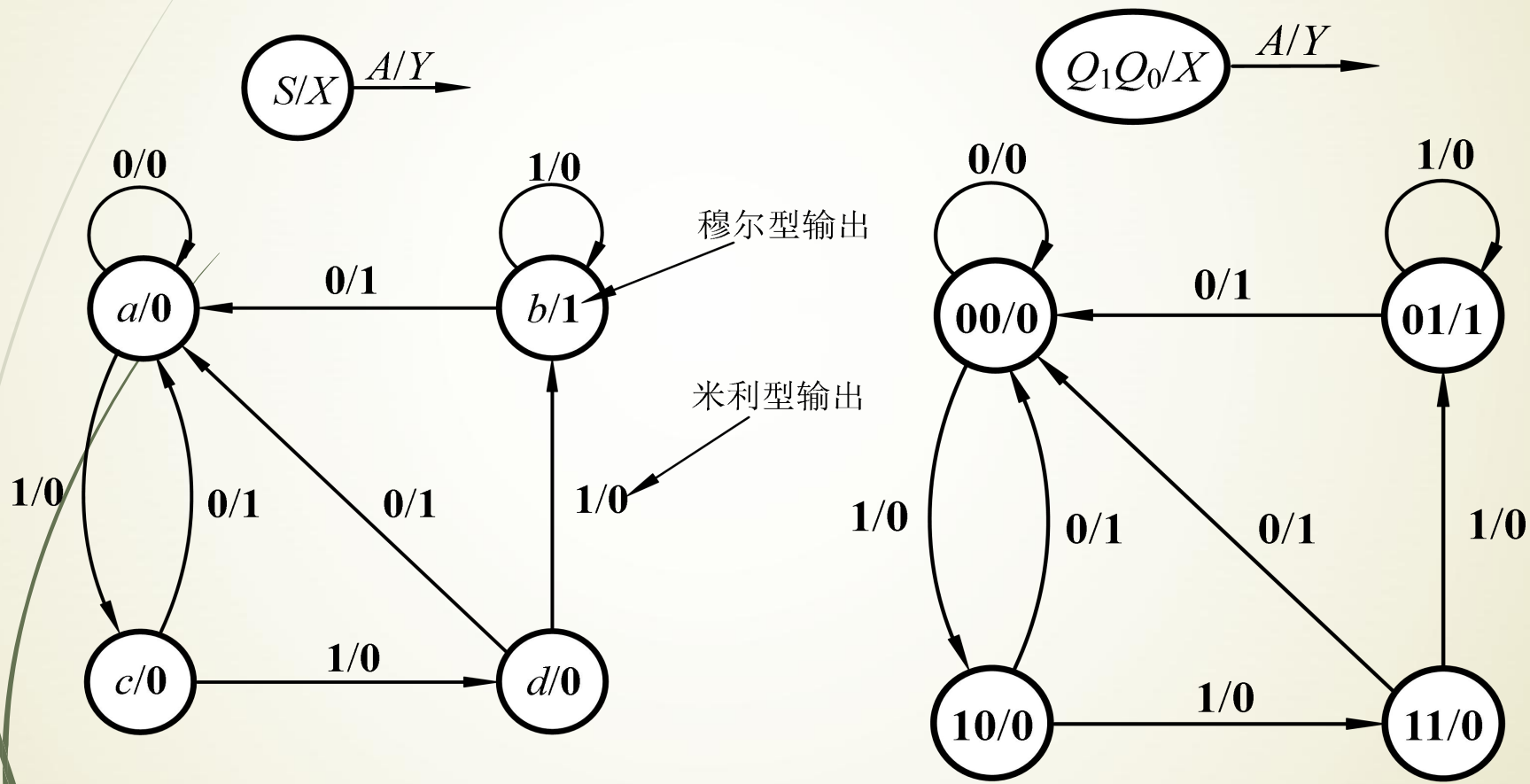
$Q_1^n \ Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0

用变量表示的状态转换表

S^n	S^{n+1}/Y		X
	$A=0$	$A=1$	
a	$a / 0$	$c / 0$	0
b	$a / 1$	$b / 0$	1
c	$a / 1$	$d / 0$	0
d	$a / 1$	$b / 0$	0

5.画状态转换图---有两种

米利型输出标在方向线旁。穆尔型标在圆圈状态名旁。

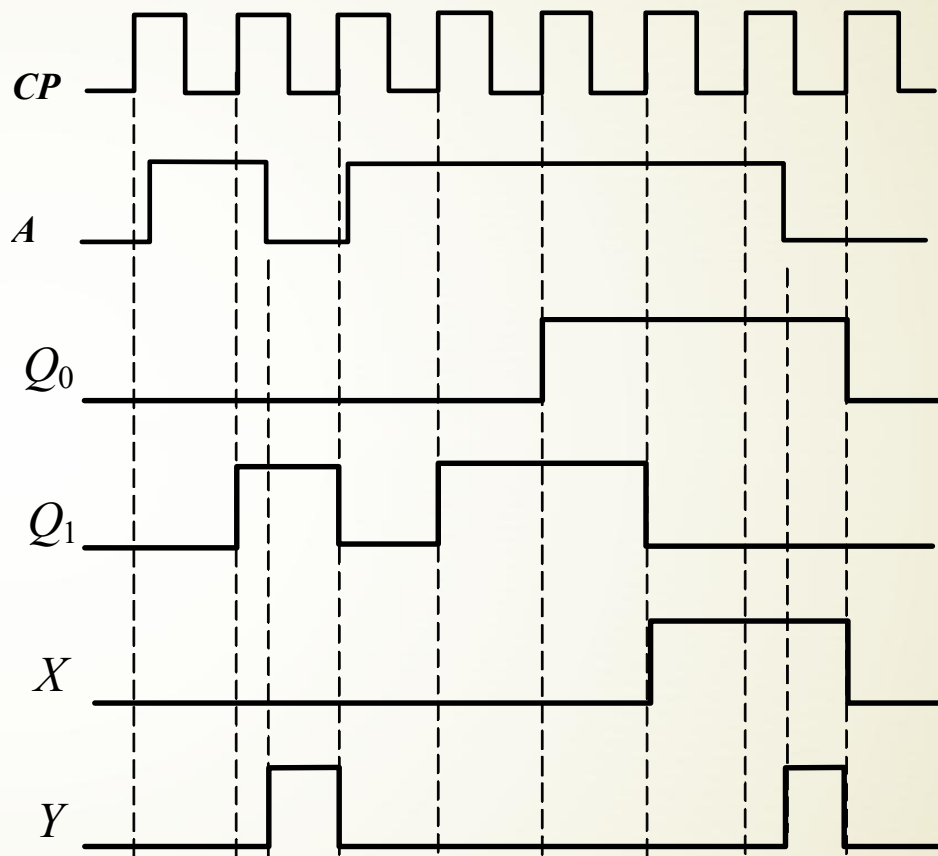


6. 时序图

根据状态转换表画出波形图

状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$		X
	$A=0$	$A=1$	
00	00 / 0	10 / 0	0
01	00 / 1	01 / 0	1
10	00 / 1	11 / 0	0
11	00 / 1	01 / 0	0



$$X = \overline{Q_1} Q_0 \quad Y = (Q_0 + Q_1) \overline{A}$$

时序逻辑电路的五种描述方式是可以相互转换的

6.2 同步时序逻辑电路的分析

6.2.1 分析同步时序逻辑电路的一般步骤

6.2.2 同步时序逻辑电路分析举例

6.2 同步时序逻辑电路的分析

同步时序逻辑电路分析的任务：

分析同步时序逻辑电路在输入信号的作用下，其状态和输出信号变化的规律，进而确定电路的逻辑功能。

分析过程的主要表现形式：

时序电路的逻辑功能是由其状态和输出信号的变化规律呈现出来的。所以,分析过程主要是列出电路状态转换表或画出状态转换图、工作波形图。

6.2.1 分析同步时序逻辑电路的一般步骤:

1.了解电路的组成:

电路的输入、输出信号、触发器的类型等

2. 根据给定的时序电路图,写出下列各逻辑方程式:

(1) 输出方程;

(2) 各触发器的激励方程;

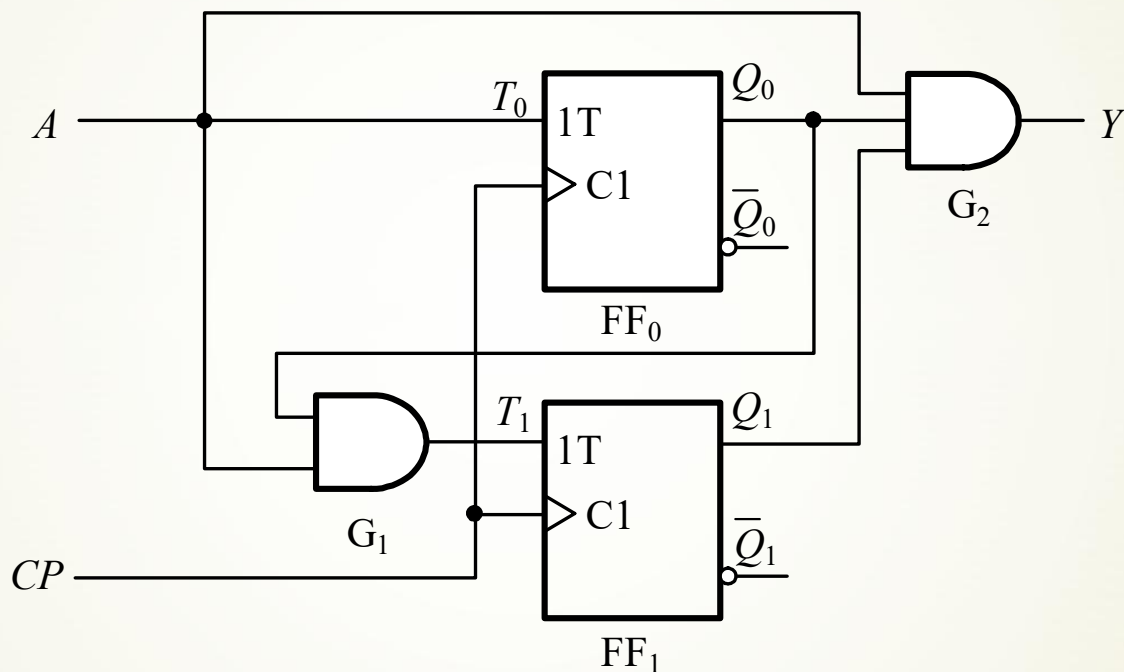
(3) 状态转换方程: 将每个触发器的驱动方程代入其特性方程得状态转换方程。

3.列出状态转换表或画出状态转换图和波形图。

4 .确定电路的逻辑功能。

6.2.2 同步时序逻辑电路分析举例

例1 试分析如图所示时序电路的逻辑功能。



解： (1) 了解电路组成。

电路是由两个 T 触发器组成的同步时序电路。

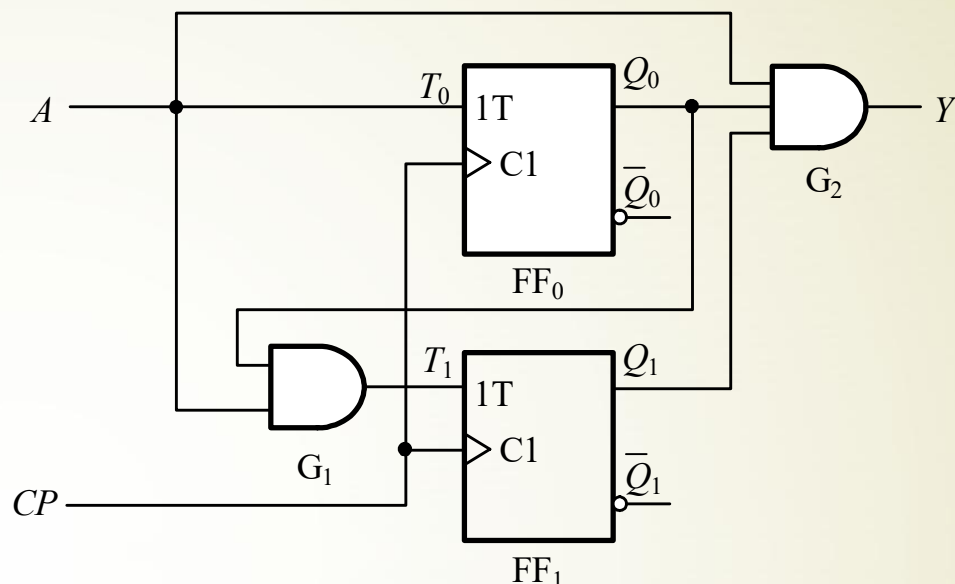
(2) 根据电路列出三个方程组

输出方程组: $Y=AQ_1Q_0$

激励方程组:

$$T_0=A$$

$$T_1=AQ_0$$



将激励方程组代入T触发器的特性方程得状态转换方程组

$$Q^{n+1} = T \oplus Q^n = T\bar{Q}^n + \bar{T}Q^n$$

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$$

(3) 根据状态转换方程组和输出方程列出状态转换表

$$Q_0^{n+1} = A \oplus Q_0^n$$

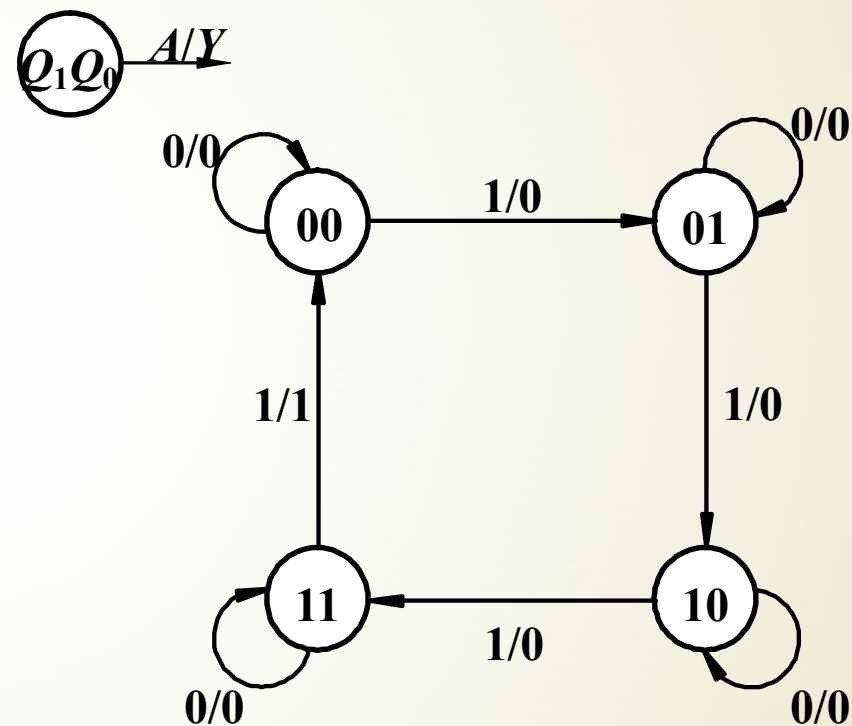
$$Q_1^{n+1} = (A Q_0^n) \oplus Q_1^n$$

$$Y = A Q_1 Q_0$$

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1

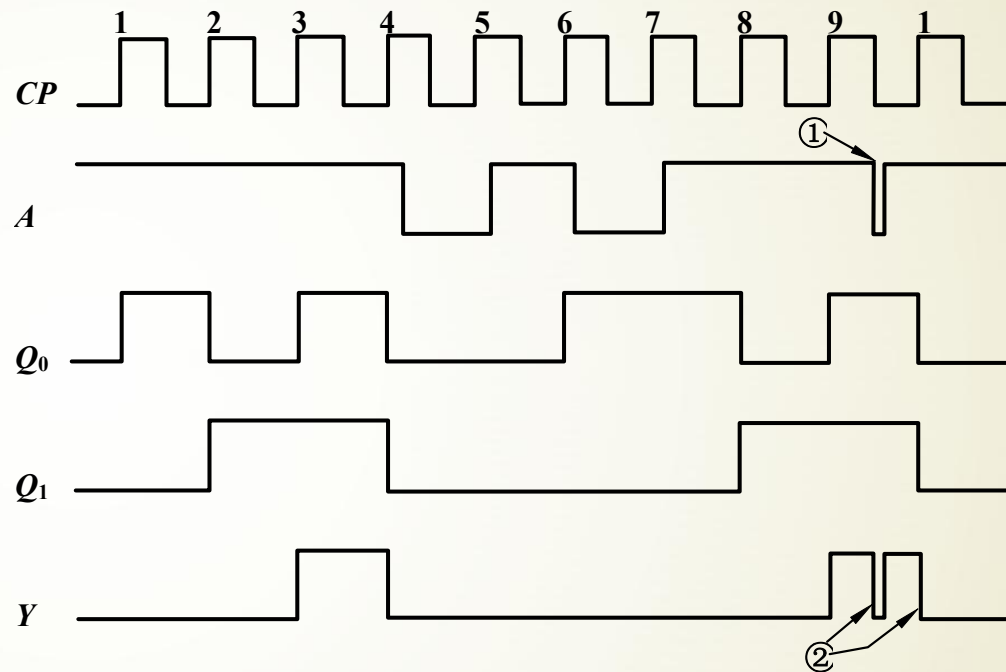
(4) 画出状态转换图

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



(5) 画出时序图

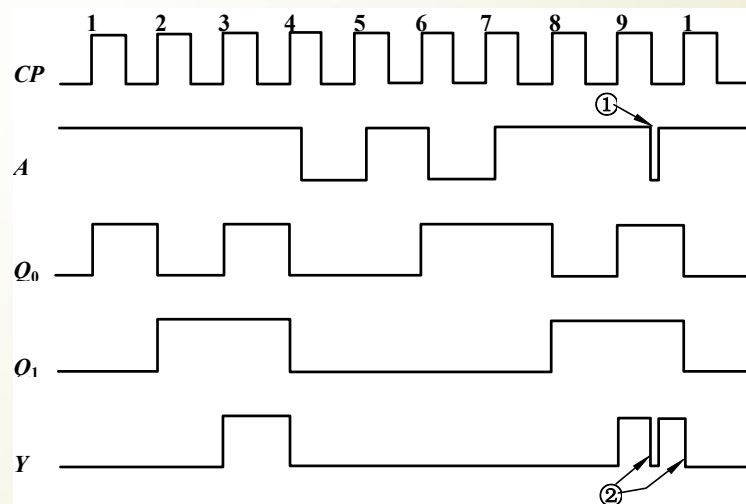
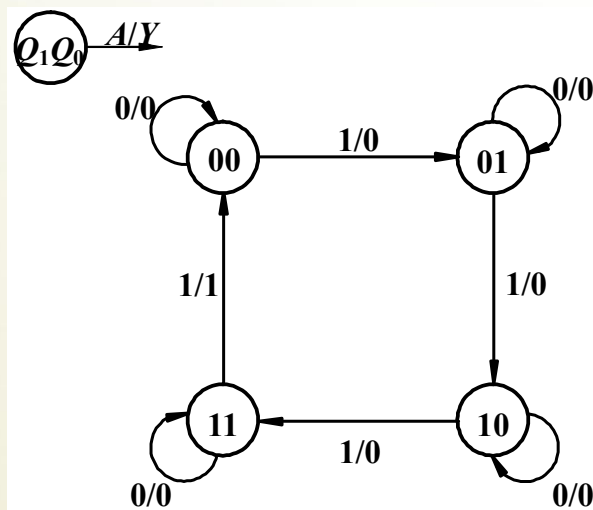
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0 / 0	0 1 / 0
0 1	0 1 / 0	1 0 / 0
1 0	1 0 / 0	1 1 / 0
1 1	1 1 / 0	0 0 / 1



$$Y = A Q_1 Q_0$$

(6) 逻辑功能分析

观察状态转换图和时序图可知，电路是一个由信号 A 控制的可控二进制计数器。当 $A=0$ 时停止计数，电路状态保持不变；当 $A=1$ 时，在 CP 上升沿到来后电路状态值加1，一旦计数到11状态， Y 输出1，且电路状态将在下一个 CP 上升沿回到00。输出信号 Y 的下降沿可用于触发进位操作。





输出方程组

$$\mathbf{Z}_0 = \mathbf{Q}_0$$

$$\mathbf{Z}_1 = \mathbf{Q}_1$$

$$\mathbf{Z}_2 = \mathbf{Q}_2$$

激励方程组

$$D_0 = \overline{Q}_1^n \overline{Q}_0^n$$

$$D_1 = Q_0^n$$

$$D_2 = Q_1^n$$

将激励方程代入 D 触发器的特性方程得状态转换方程

$$Q^{n+1} = D$$

状态转换表

得状态转换方程

$$Q_0^{n+1} = D_0 = \overline{Q_1^n} \overline{Q_0^n}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

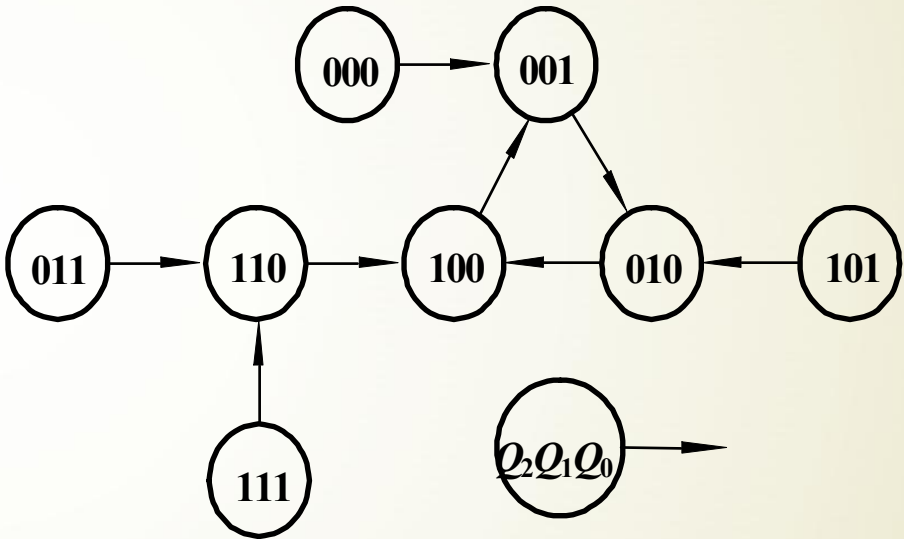
$$Q_2^{n+1} = D_2 = Q_1^n$$

2.列出其状态转换表

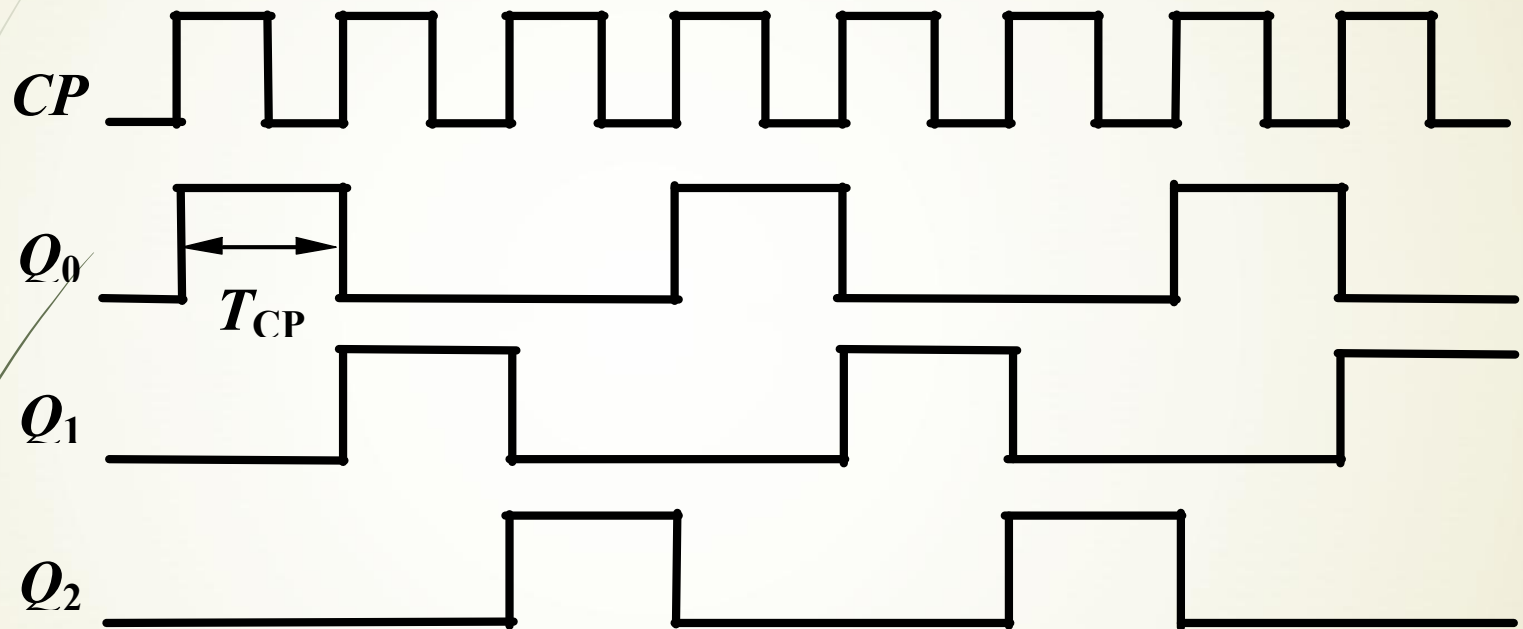
$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 0
1 1 0	1 0 0
1 1 1	1 1 0

状态转换表

$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0 0 0	0 0 1
0 0 1	0 1 0
0 1 0	1 0 0
0 1 1	1 1 0
1 0 0	0 0 1
1 0 1	0 1 0
1 1 0	1 0 0
1 1 1	1 1 0



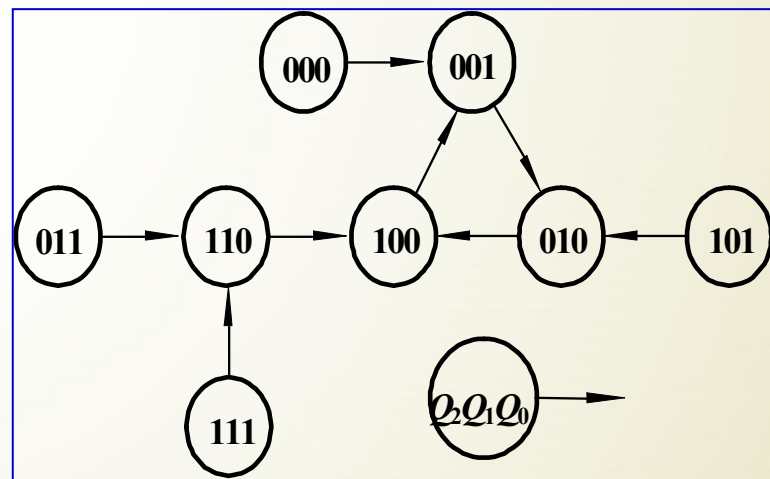
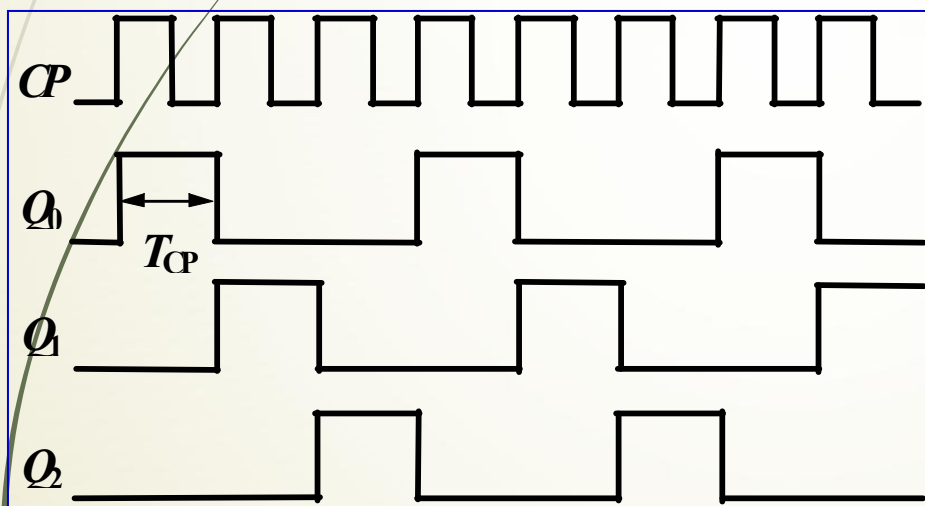
4. 画出时序图



5. 逻辑功能分析

由状态转换图可见，电路的有效状态是三位循环码。

从时序图可看出，电路正常工作时，各触发器的 Q 端轮流出现一个宽度为一个 CP 周期脉冲信号，循环周期为 $3T_{CP}$ 。电路的功能为脉冲分配器或节拍脉冲产生器。



例3 试分析如图所示时序电路的逻辑功能。

解：1. 了解电路组成。

电路是由两个JK触发器组成的莫尔型同步时序电路。

2. 写出下列各逻辑方程式：

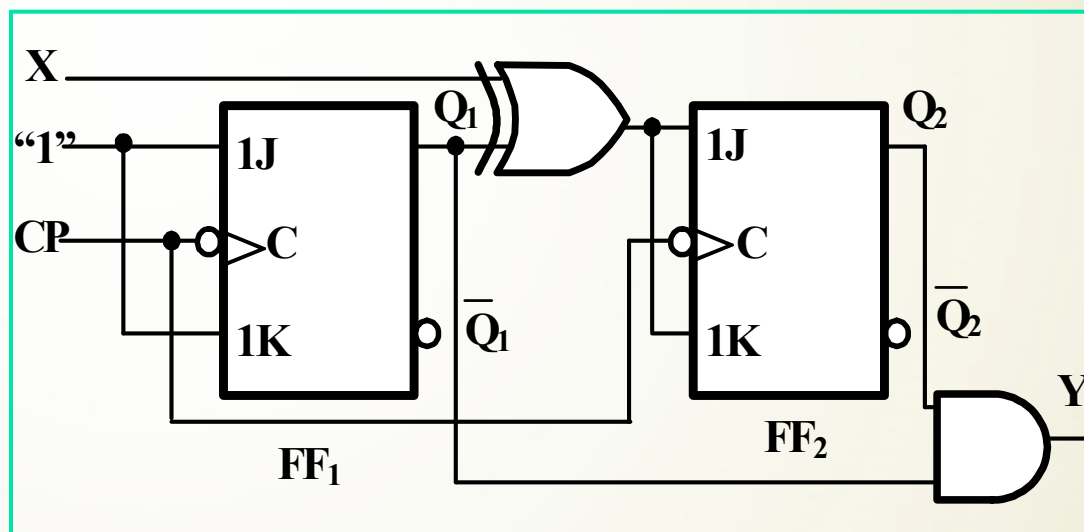
激励方程

$$J_1 = K_1 = 1$$

$$J_2 = K_2 = X \oplus Q_1$$

输出方程

$$Y = Q_2 Q_1$$



将激励方程代入JK触发器的特性方程得状态转换方程

$$\text{FF}_1 \quad J_1=K_1=1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_1^{n+1} = 1 \cdot \bar{Q}_1^n + \bar{1} \cdot Q_1^n = \bar{Q}_1^n$$

$$\text{FF}_2 \quad J_2=K_2=X \oplus Q_1$$



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$



$$Q_2^{n+1} = X \oplus Q_1^n \cdot \bar{Q}_2^n + \overline{X \oplus Q_1^n} \cdot Q_2^n$$

整理得：

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

3.列出其状态转换表，画出状态转换图和波形图

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = X \oplus Q_1^n \oplus Q_2^n$$

$$Y = Q_2 Q_1$$

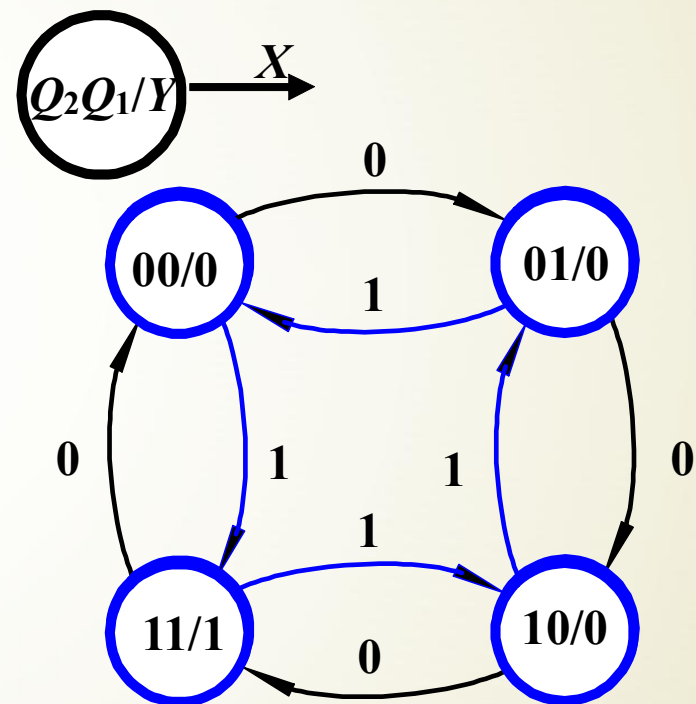
状态转换表

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1}$		Y
	$A=0$	$A=1$	
0 0	0 1	1 1	0
0 1	1 0	0 0	0
1 0	1 1	0 1	0
1 1	0 0	1 0	1

状态转换表

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1}$		Y
	$A=0$	$A=1$	
0 0	0 1	1 1	0
0 1	1 0	0 0	0
1 0	1 1	0 1	0
1 1	0 0	1 0	1

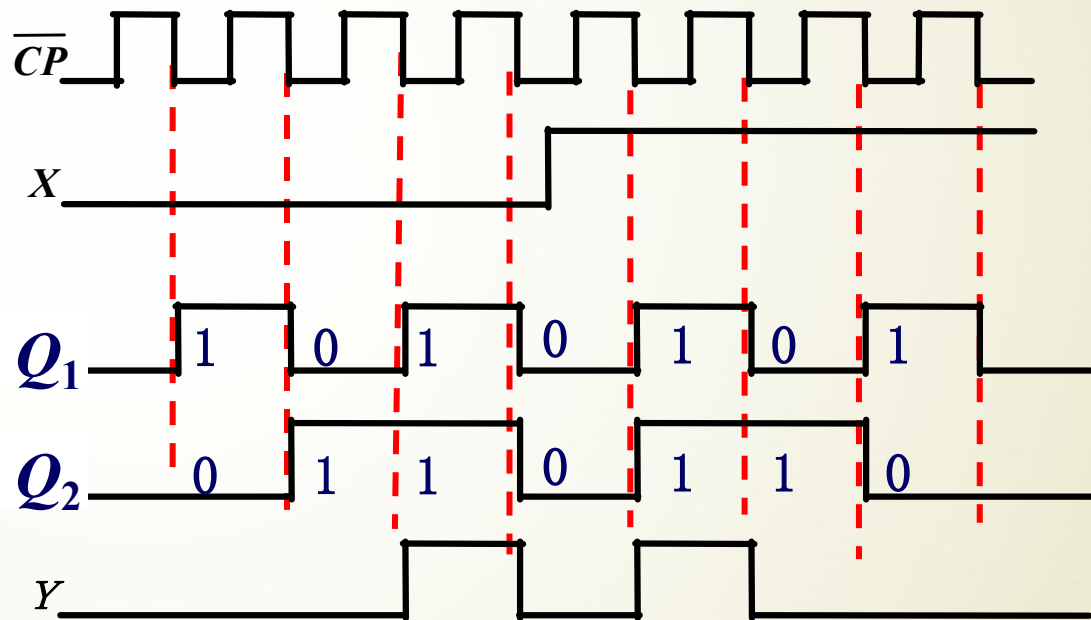
状态转换图



根据状态转换表，画出波形图。

$Q_2^n Q_1^n$	$Q_2^{n+1} Q_1^{n+1}$		Y
	$A=0$	$A=1$	
0 0	0 1	1 1	0
0 1	1 0	0 0	0
1 0	1 1	0 1	0
1 1	0 0	1 0	1

$$Y = Q_2 Q_1$$



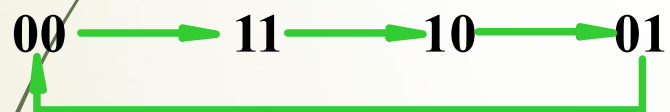
4. 确定电路的逻辑功能.

• $X=0$ 时



电路进行加1计数

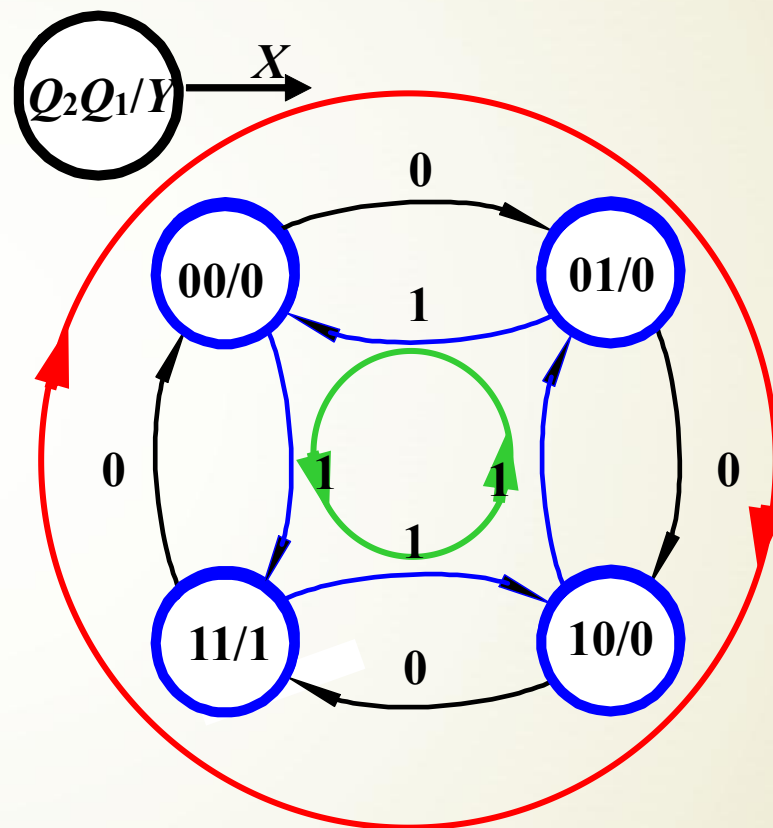
• $X=1$ 时



电路进行减1计数。

电路功能：可逆计数器

Y 可理解为进位或借位端。



6.3 同步时序逻辑电路的设计

6.3.1 设计同步时序逻辑电路的一般步骤

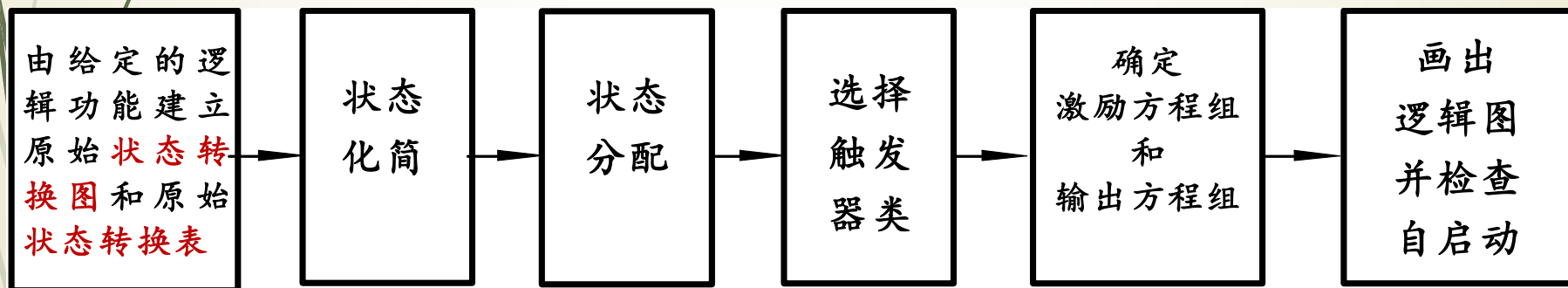
6.3.2 同步时序逻辑电路设计举例

6.3 同步时序逻辑电路的设计

同步时序逻辑电路的设计是分析的逆过程, 其任务是根据实际逻辑问题的要求, 设计出能实现给定逻辑功能的电路。

6.3.1 设计同步时序逻辑电路的一般步骤

同步时序电路的设计过程



(1) 根据给定的逻辑功能建立原始状态转换图和原始状态转换表

- ①明确电路的输入条件和相应的输出要求，分别确定输入变量和输出变量的数目和符号。
- ②找出所有可能的状态和状态转换之间的关系。
- ③根据原始状态转换图建立原始状态转换表。

(2) 状态化简-----求出最简状态转换图；

合并等价状态，消去多余状态的过程称为状态化简

等价状态：在相同的输入下有相同的输出，并转换到同一个次态去的两个状态称为等价状态。

(3)状态编码（状态分配）；

给每个状态赋以二进制代码的过程。

根据状态数确定触发器的个数，

$$2^{n-1} < M \leq 2^n \quad (M: \text{状态数}; n: \text{触发器的个数})$$

(4)选择触发器的类型

(5)求出电路的激励方程和输出方程；

(6)画出逻辑图并检查自启动能力。

6.3.2 同步时序逻辑电路设计举例

例1 用D触发器设计一个8421 BCD码同步十进制加计数器。

8421码同步十进制加计数器的状态转换表

计数脉冲CP的顺序	现 态				次 态			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	0	0	0	0

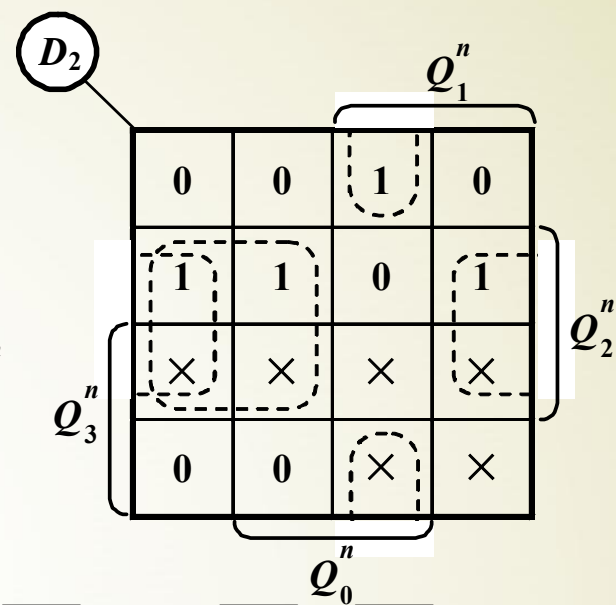
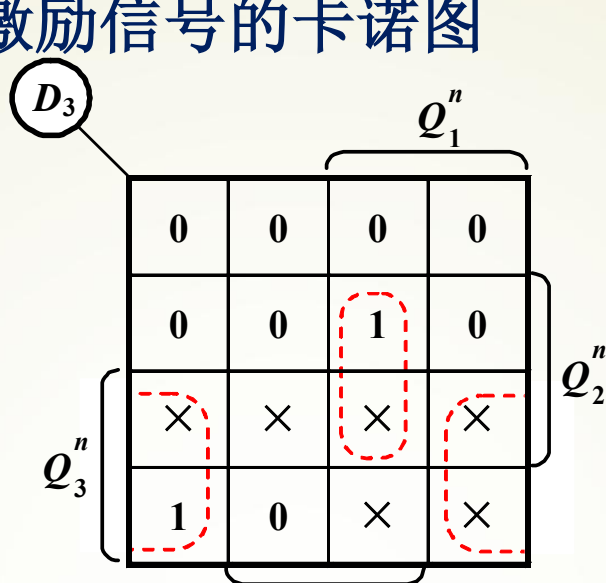
(2) 确定激励方程组

计数脉冲CP的顺序	现 态				次 态				激励信号			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	0	0	1	1	0	0	1	1
3	0	0	1	1	0	1	0	0	0	1	0	0
4	0	1	0	0	0	1	0	1	0	1	0	1
5	0	1	0	1	0	1	1	0	0	1	1	0
6	0	1	1	0	0	1	1	1	0	1	1	1
7	0	1	1	1	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	1
9	1	0	0	1	0	0	0	0	0	0	0	0

D_3 、 D_2 、 D_1 、 D_0 、是触发器现态还是次态的函数？

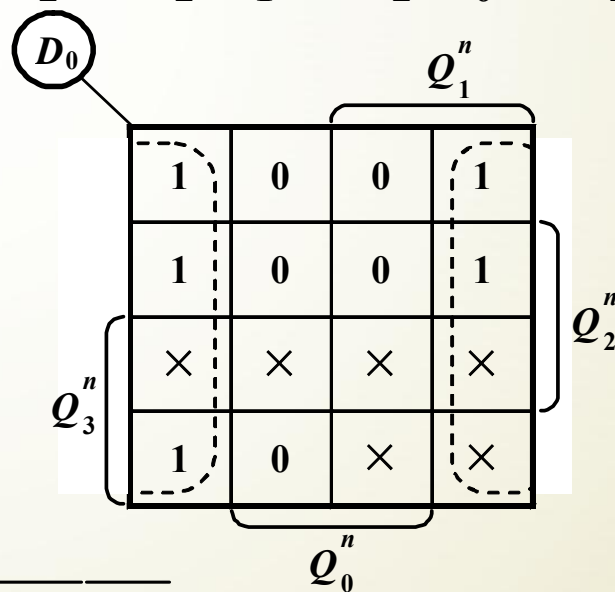
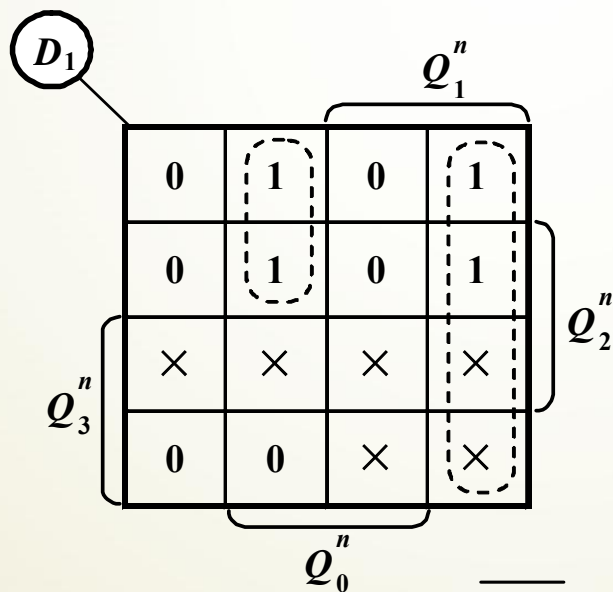
D_3 、 D_2 、 D_1 、 D_0 是触发器现态的函数

画出各触发器激励信号的卡诺图



$$D_3 = Q_3^n \overline{Q_0^n} + Q_2^n Q_1^n Q_0^n$$

$$D_2 = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + Q_2^n Q_1^n Q_0^n$$



$$D_1 = Q_1^n \overline{Q_0^n} + Q_3^n Q_1^n Q_0^n$$

$$D_0 = \overline{Q_0^n}$$

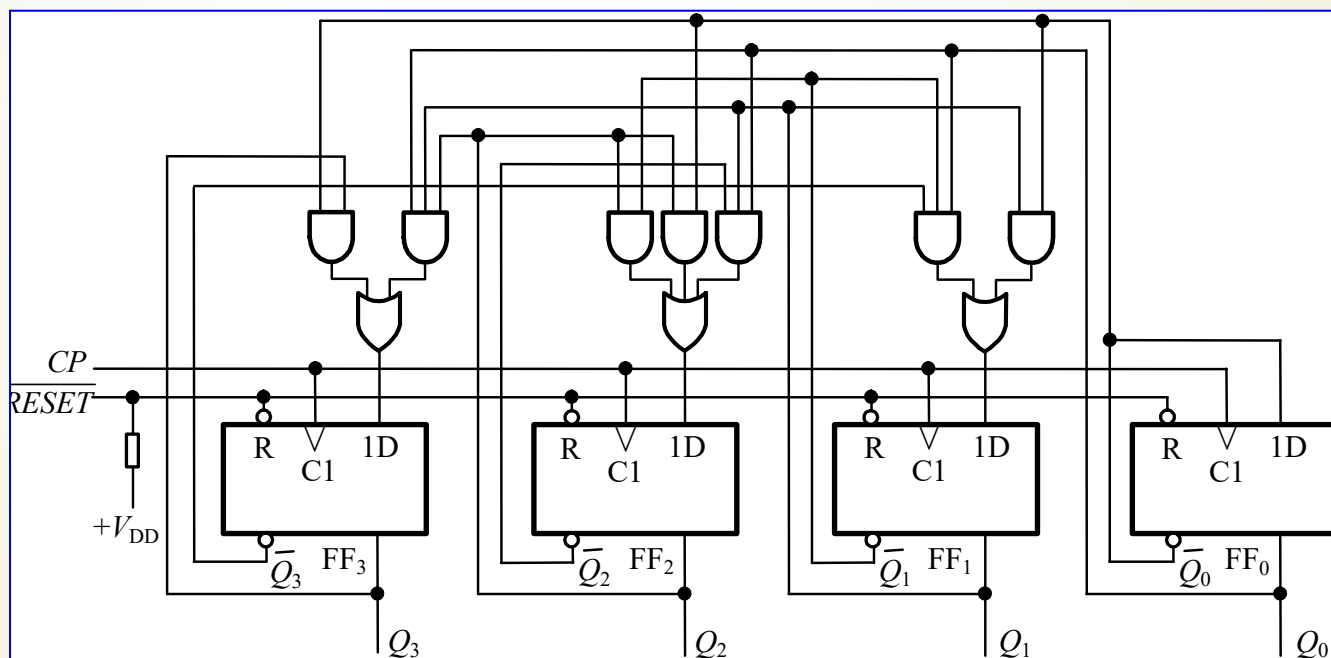
画出逻辑图

$$D_3 = Q_3^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$D_2 = Q_2^n \overline{Q_1^n} + \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$D_1 = Q_1^n \overline{Q_0^n} + \overline{Q_3^n} \overline{Q_1^n} Q_0^n$$

$$D_0 = \overline{Q_0^n}$$



(3) 画出逻辑图，并检查自启动能力

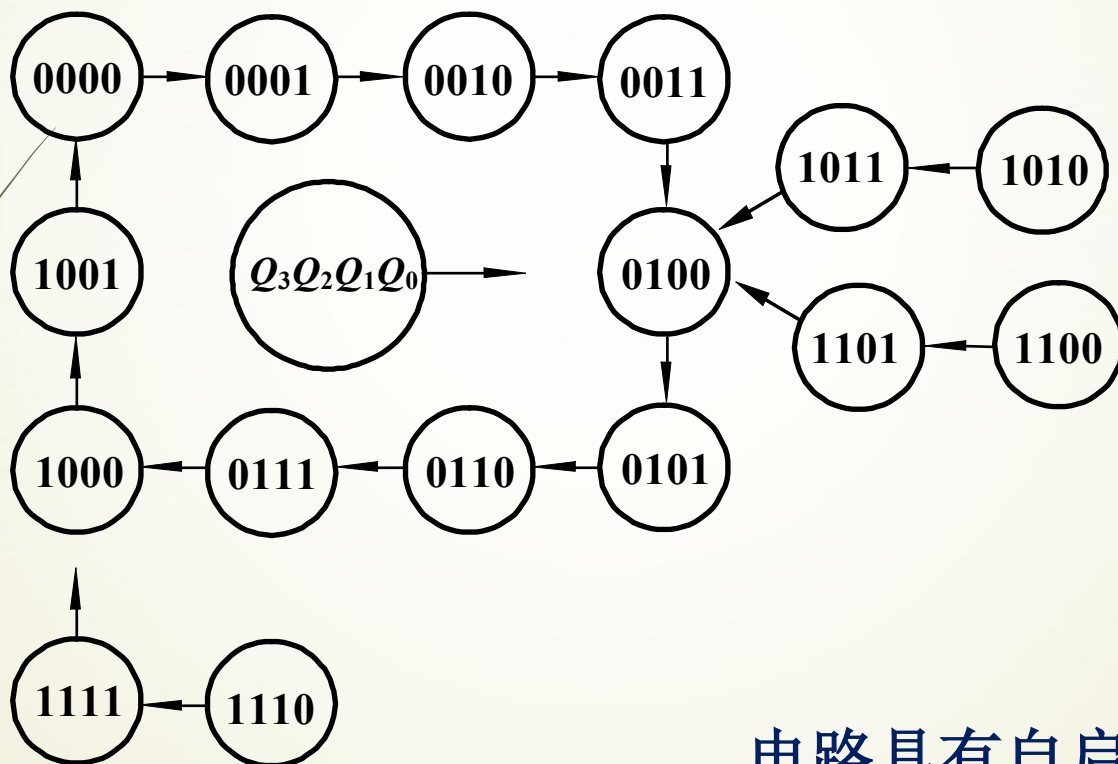
$$D_3 = Q_3^n \overline{Q_0^n} + Q_2^n Q_1^n Q_0^n$$

画出完全状态转换图

$$D_2 = Q_2^n \overline{Q_1^n} + Q_2^n \overline{Q_0^n} + \overline{Q_2^n} Q_1^n Q_0^n$$

$$D_1 = Q_1^n \overline{Q_0^n} + \overline{Q_3^n} \overline{Q_1^n} Q_0^n$$

$$D_0 = \overline{Q_0^n}$$



电路具有自启动能力

例2:

设计一个串行数据检测器。电路的输入信号 A 是与时钟脉冲同步的串行数据，输出信号为 Y ；要求电路在 A 信号输入出现110序列时，输出信号 Y 为1，否则为0。

解：(1) 根据给定的逻辑功能建立原始状态转换图和原始状态表

1.) 确定输入、输出变量及电路的状态数：

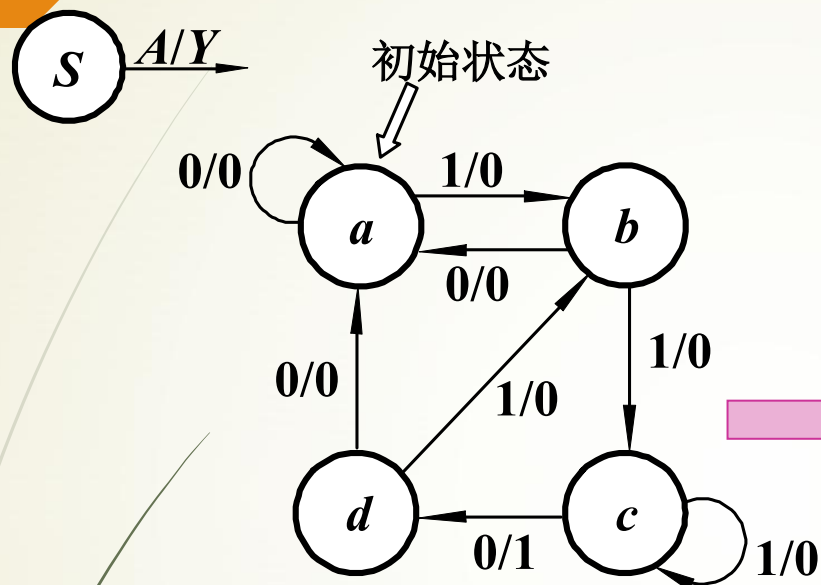
输入变量： A 输出变量： Y 状态数：4个

2.) 定义输入 输出逻辑状态和每个电路状态的含义；

a —— 初始状态； b —— A 输入1后；

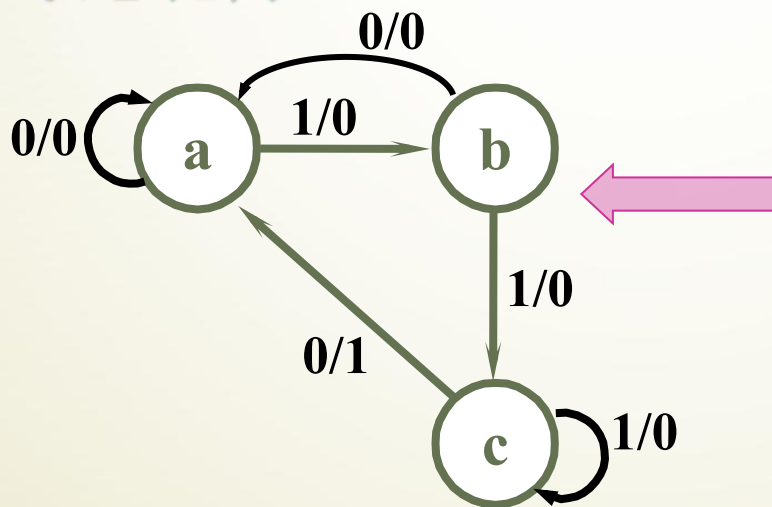
c —— A 输入11后； d —— A 输入110后。

列出原始状态转换表



现态	次态/输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	d / 1	c / 0
d	a / 0	b / 0

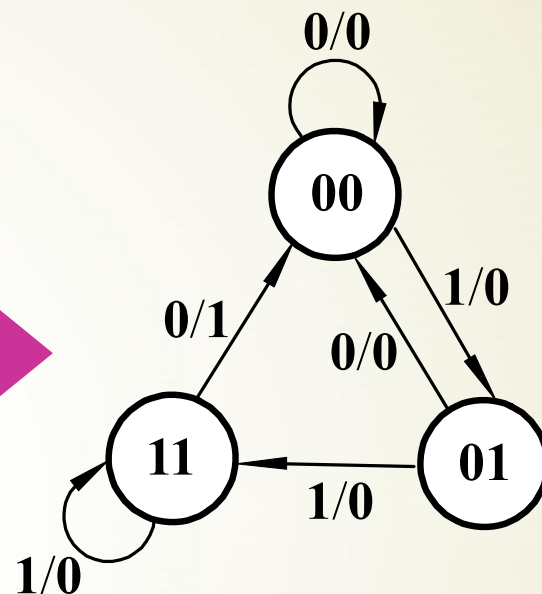
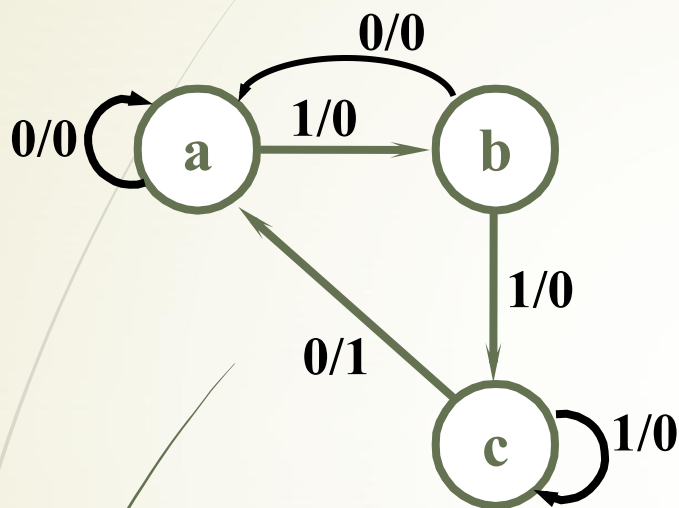
2. 状态化简



现态	次态 / 输出	
	A=0	A=1
a	a / 0	b / 0
b	a / 0	c / 0
c	a / 1	c / 0

3、状态分配

令 $a = 00$, $b = 01$, $c = 11$,



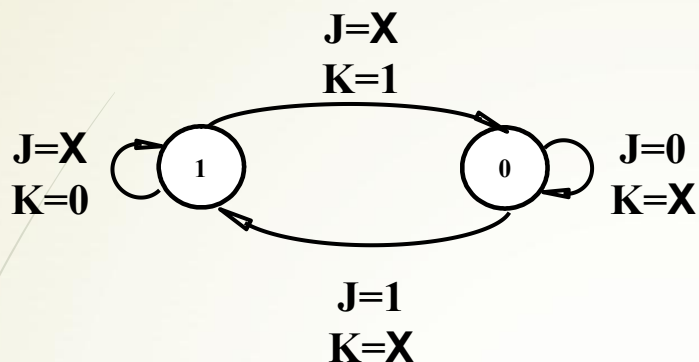
4、选择触发器的类型

触发器个数：两个。

类型：采用对 CP 下降沿敏感的
 JK 触发器。

现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

5. 求激励方程和输出方程



现态 Q_1Q_0	$Q_1^{n+1} Q_0^{n+1} / Y$	
	A=0	A=1
00	00 / 0	01 / 0
01	00 / 0	11 / 0
11	00 / 1	11 / 0

状态转换真值表及激励信号

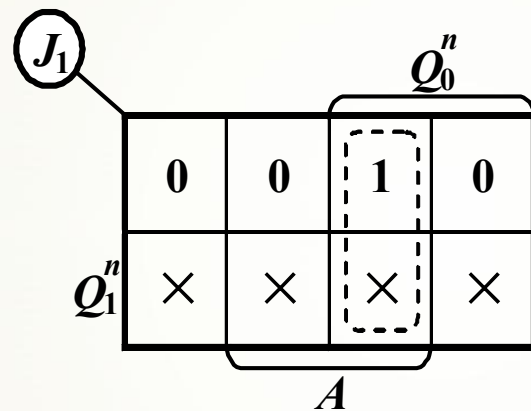
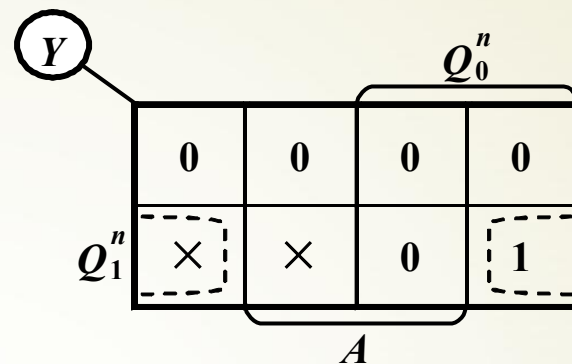
Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y	激励信号			
						J_1	K_1	J_0	K_0
0	0	0	0	0	0	0	×	0	×
0	0	1	0	1	0	0	×	1	×
0	1	0	0	0	0	0	×	×	1
0	1	1	1	1	0	1	×	×	0
1	1	0	0	0	1	×	1	×	1
1	1	1	1	1	0	×	0	×	0

卡诺图化简得

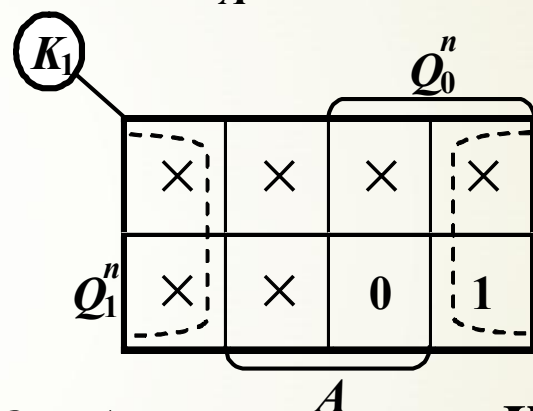
输出方程

$$Y = Q_1 \overline{A}$$

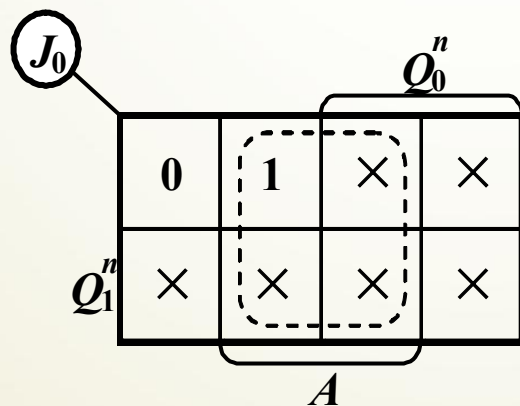
激励方程



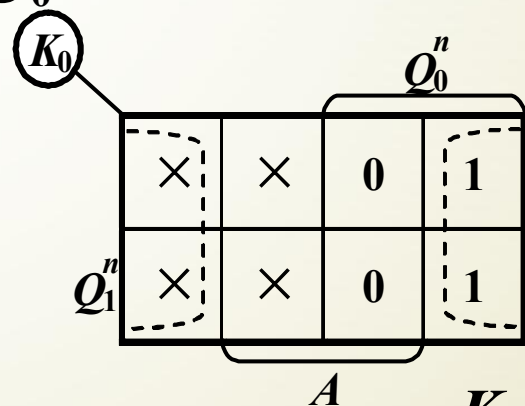
$$J_1 = Q_0 A$$



$$K_1 = \overline{A}$$



$$J_0 = A$$



$$K_0 = \overline{A}$$

6. 根据激励方程和输出方程画出逻辑图,并检查自启动能力

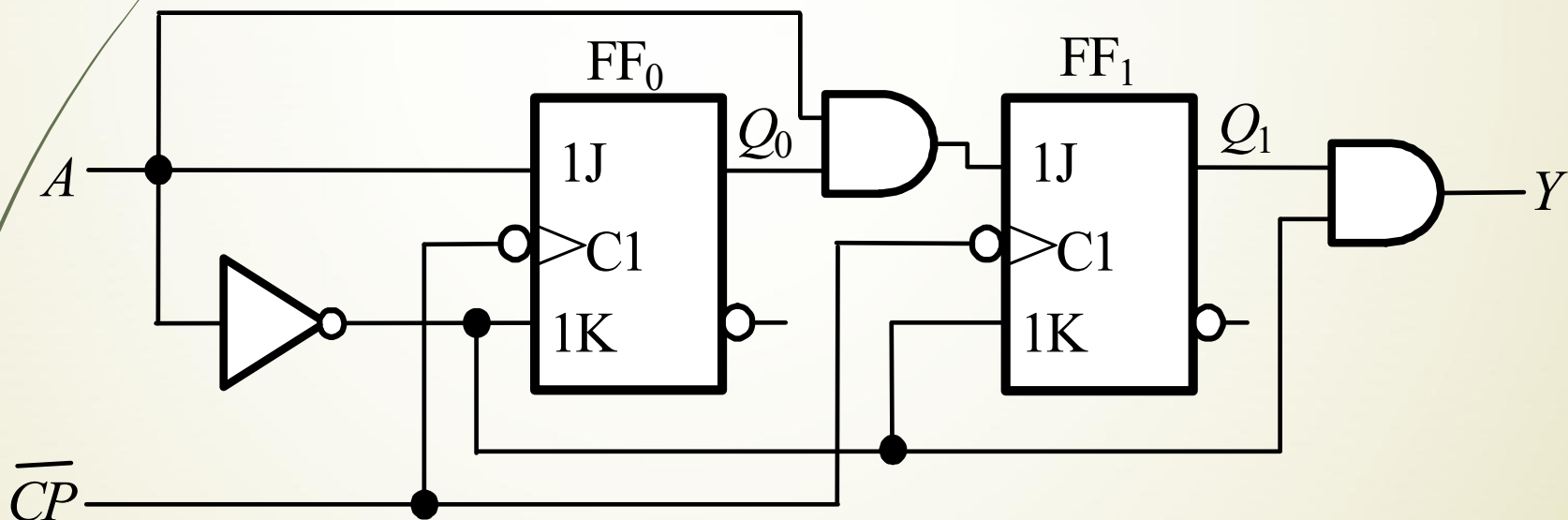
激励方程

$$J_1 = Q_0 A \quad K_1 = \bar{A}$$

$$J_0 = A \quad K_0 = \bar{A}$$

输出方程

$$Y = Q_1 \bar{A}$$



$$J_1 = Q_0 A \quad J_0 = A$$

$$Y = Q_1 \bar{A}$$

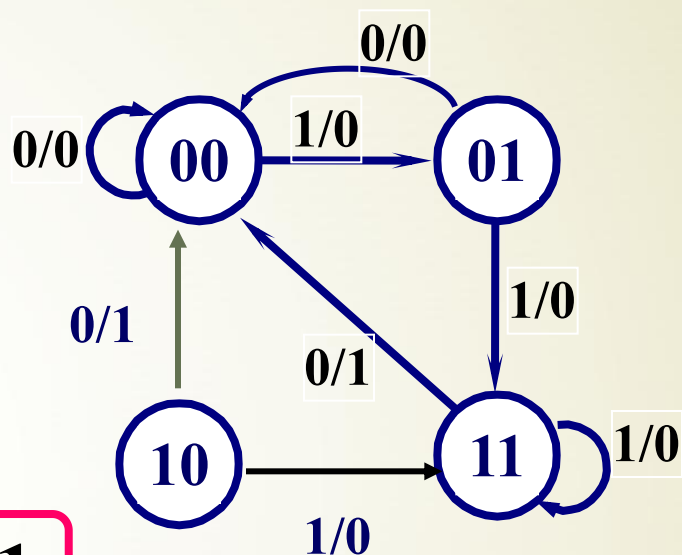
$$K_1 = \bar{A} \quad K_0 = \bar{A}$$

检查自启动能力和输出

当 $Q_1 Q_0 = 10$ 时

$$A=0 \quad Q_1 Q_0 = 00 \quad Y = 1$$

$$A=1 \quad Q_1 Q_0 = 11 \quad Y = 0$$



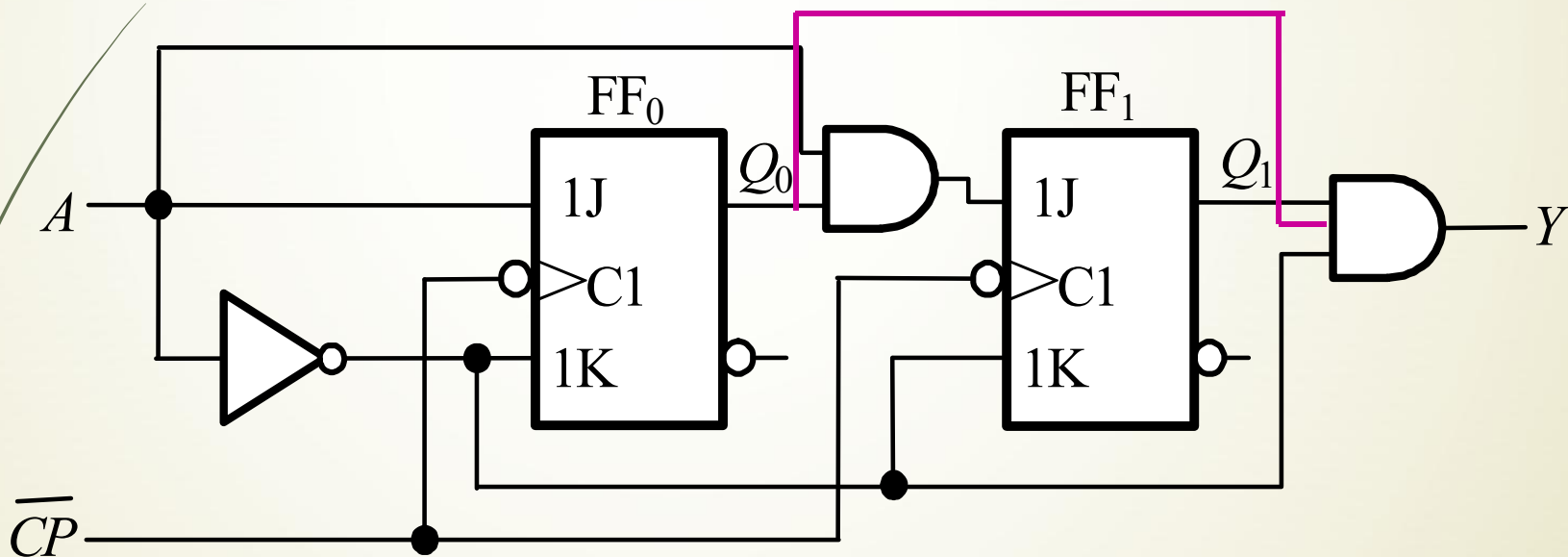
能自启动

输出方程 $Y = Q_1 \bar{A} \rightarrow Y = Q_1 Q_0 \bar{A}$

修改电路

输出方程 $Y = Q_1 \overline{A}$ 

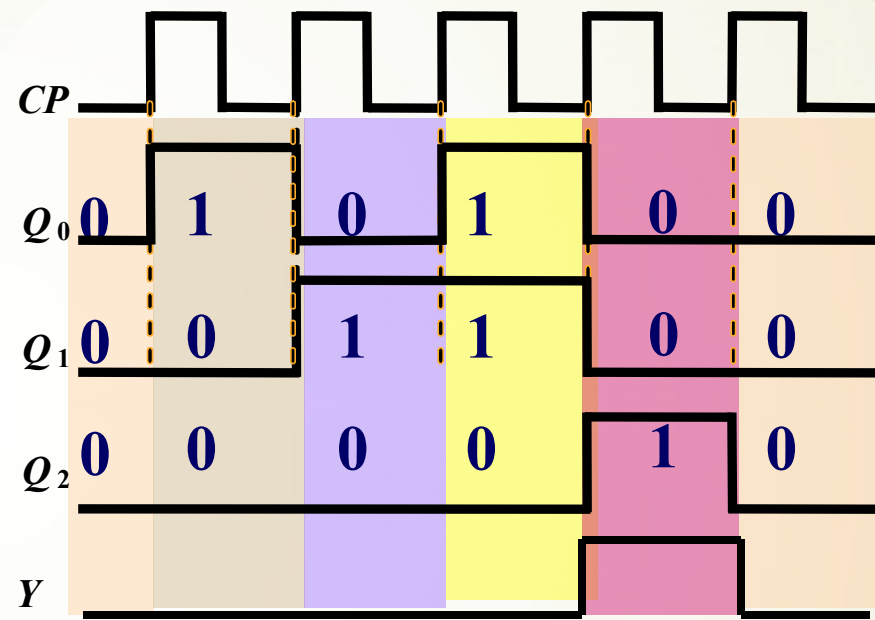
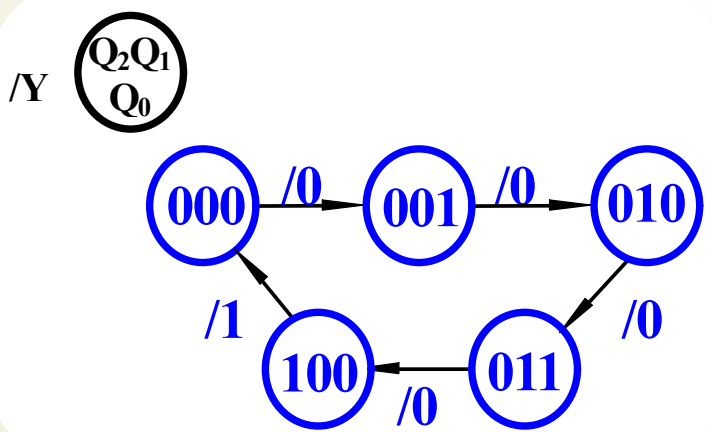
卡诺图化简去掉无关项 $Y = Q_1 Q_0 \overline{A}$



例2:试设计一个同步时序电路，要求电路中触发器 Q_0 、 Q_1 、 Q_2 及输出 Y 端的信号与 CP 时钟信号波形满足下图所示的时序关系。

解：据题意可直接由波形图

1、画出电路状态图。



2、确定触发器的类型和个数

触发器个数： 3个

触发器类型： 上升沿触发的 JK 边沿触发器。

3、求出电路的激励方程和输出方程；

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	1	0	0	X	0	X	1	X
0	0	1	0	1	0	0	0	X	1	X	X	1
0	1	0	0	1	1	0	0	X	X	0	1	X
0	1	1	1	0	0	0	1	X	X	1	X	1
1	0	0	0	0	0	1	X	1	0	X	0	X

J_2 $Q_1^n Q_0^n$

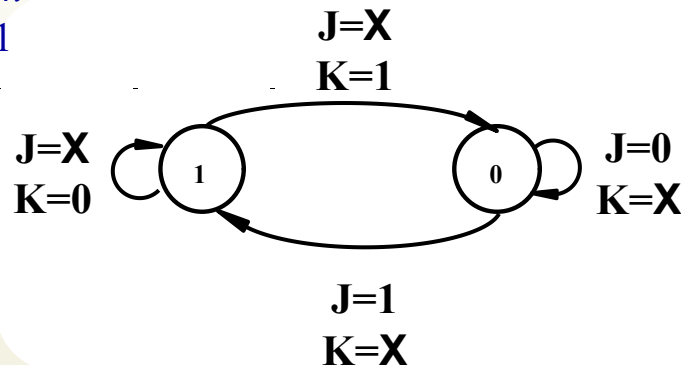
Q_2^n	00	01	11	10
0	0	0	1	0
1	X	X	X	X

$$J_2 = Q_0^n Q_1^n$$

K_2 $Q_1^n Q_0^n$

Q_2^n	00	01	11	10
0	X	X	X	X
1	1	X	X	X

$$K_2 = 1$$



$$J_1 = Q_0^n \quad K_1 = Q_0^n$$

$$J_0 = \overline{Q_2^n} \quad K_0 = 1$$

求激励方程的第二种方法

		$Q_1^n Q_0^n$			
Q_2^n	Y	00	01	11	10
		0	0	0	0
1		1	X	X	X

$$Y = Q_2^n$$

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

		$Q_1^n Q_0^n$			
Q_2^n		00	01	11	10
		0	0	1	0
1		0	×	×	×

$$Q_2^{n+1}$$

		$Q_1^n Q_0^n$			
Q_2^n		00	01	11	10
		0	1	0	1
1		0	×	×	×

$$Q_1^{n+1}$$

		$Q_1^n Q_0^n$			
Q_2^n		00	01	11	10
		1	0	0	1
1		0	×	×	×

$$Q_0^{n+1}$$

$$Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n}$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}$$

$$Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n}$$

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

Y Q ₂ ⁿ	Q ₁ ⁿ Q ₀ ⁿ					
	00	01	11	10		
0	0	0	0	0		
1	1	X	X	X		

$$J_2 = Q_0^n Q_1^n$$

$$K_2 = 1$$

$$J_1 = Q_0^n$$

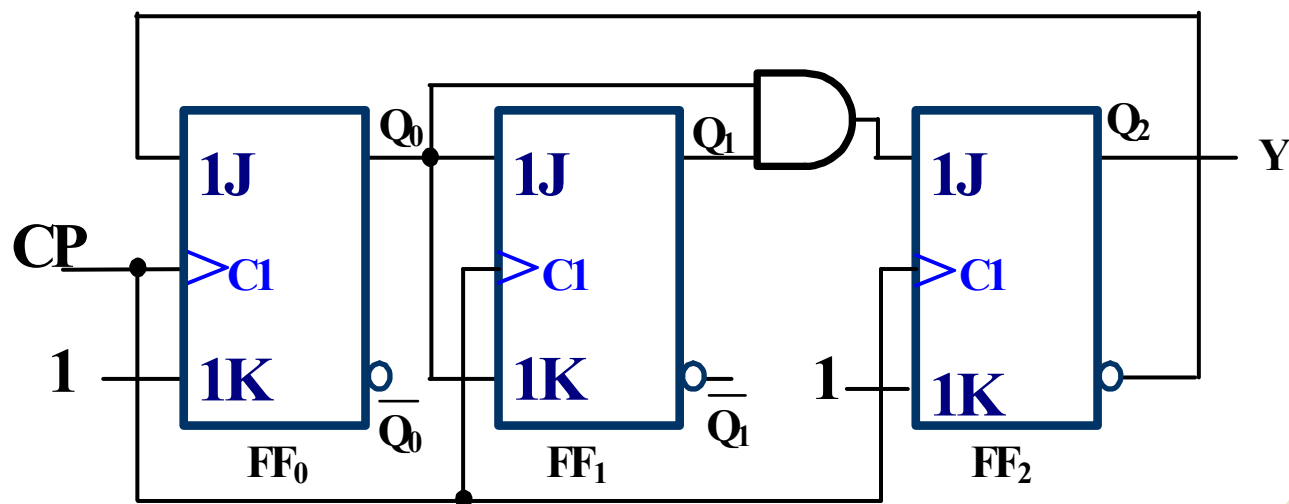
$$K_1 = Q_0^n$$

$$J_0 = \bar{Q}_2^n$$

$$K_0 = 1$$

$$Y = Q_2^n$$

(3) 画出逻辑图



(4) 检查自启动能力

$$Q_0^{n+1} = \overline{Q_2^n} \cdot \overline{Q_0^n}$$

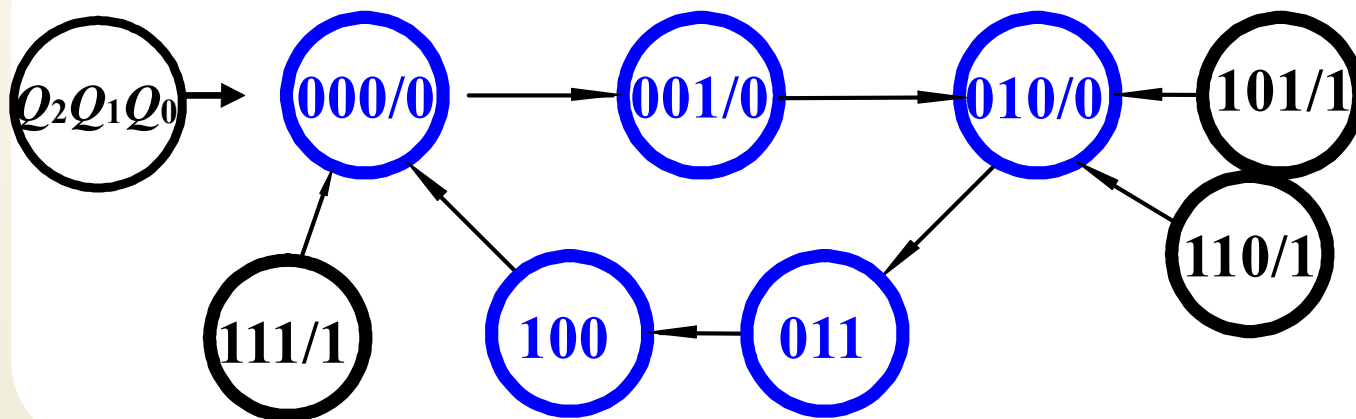
$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n}$$

电路具备自启动能力

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

1	0	1	0	1	0	1
1	1	0	0	1	0	1
1	1	1	0	0	0	1



Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	0	0	0	1

1	0	1	0	1	0	0
1	1	0	0	1	0	0
1	1	1	0	0	0	0

修改输出方程:

$$Y = Q_2^n$$

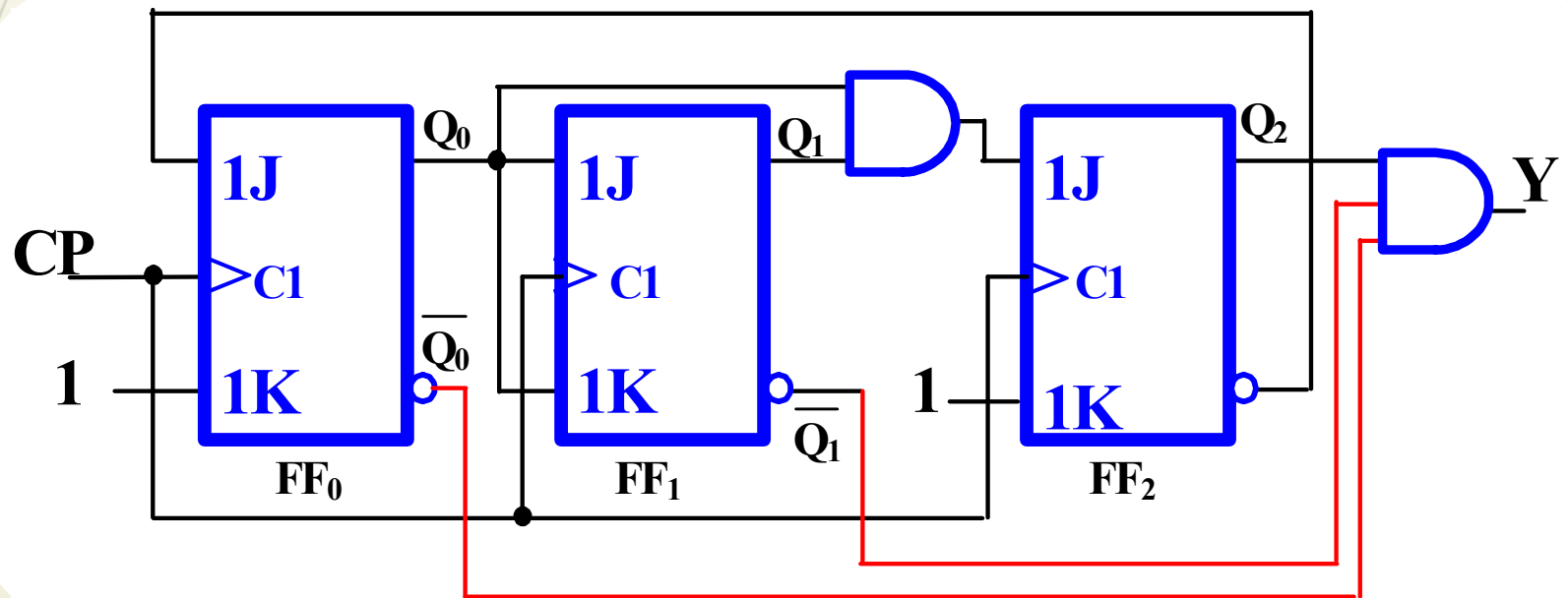
$$Y = Q_2^n \cdot \overline{Q_1^n} \cdot \overline{Q_0^n}$$

Q_2^n	$Q_1^n Q_0^n$			
	00	01	11	10
0	0	0	0	0
1	1	X	X	X

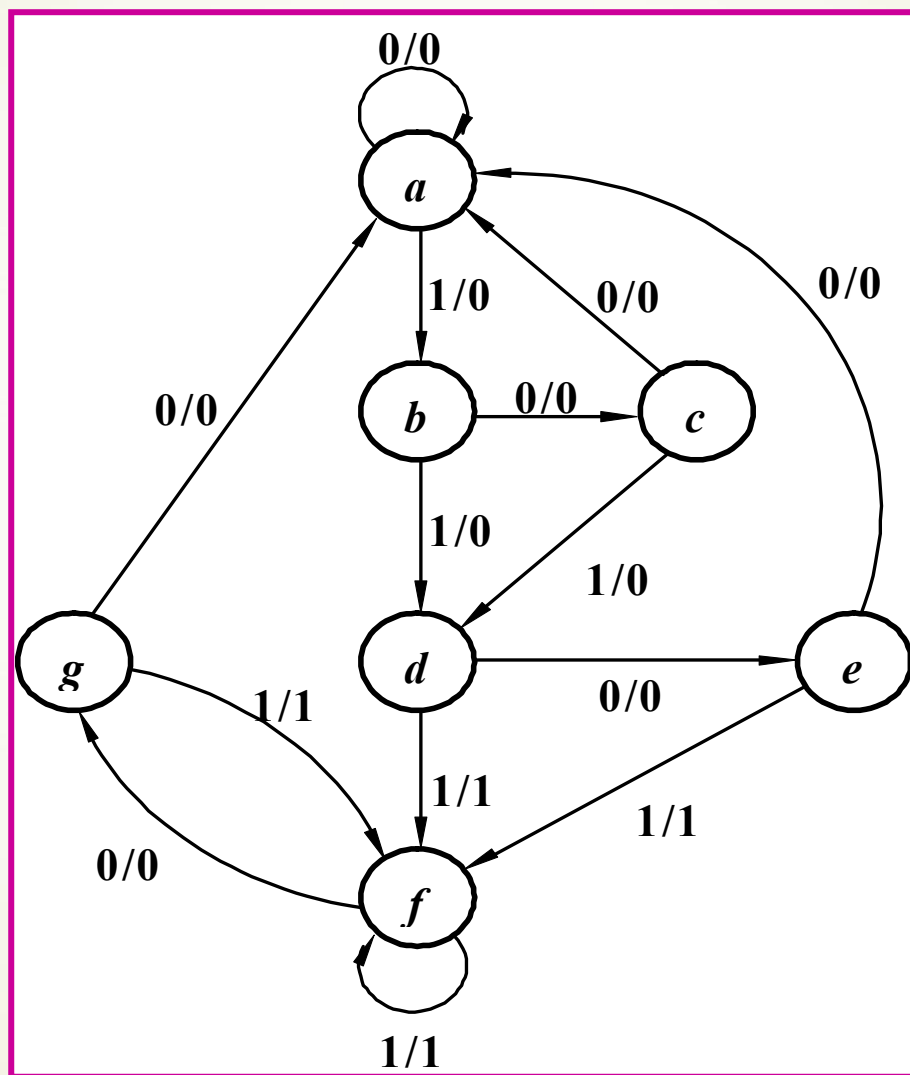
电路的输出有错!

•修改后的逻辑图

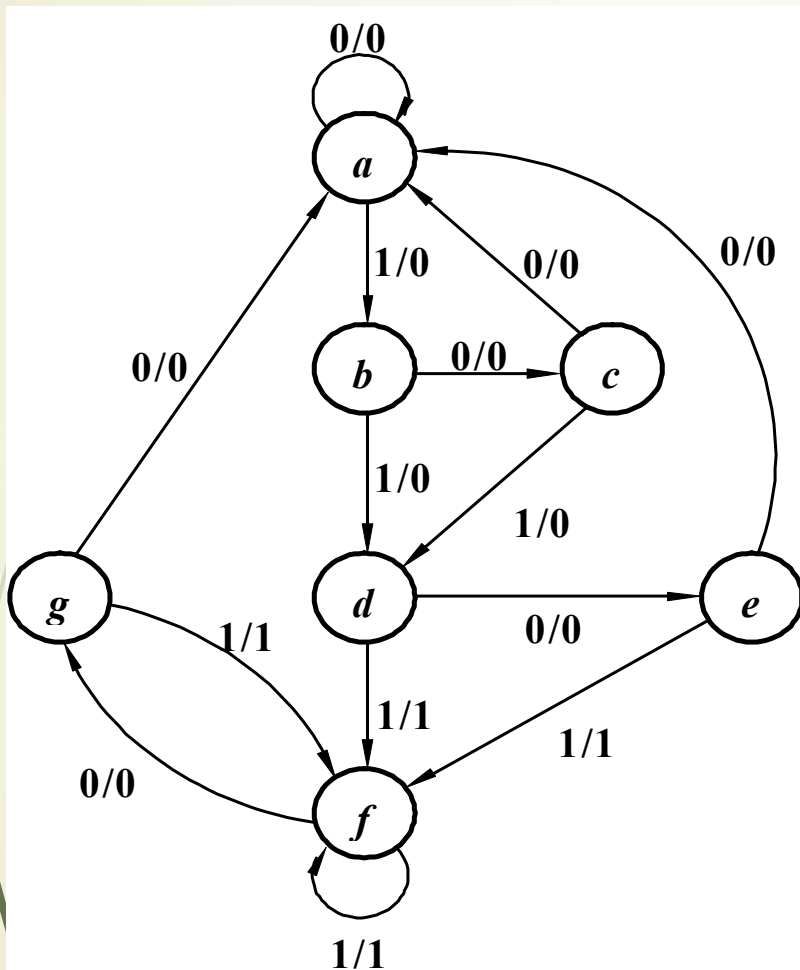
$$Y = Q_2^n \quad \longrightarrow \quad Y = Q_2^n \cdot \overline{Q_1^n} \cdot \overline{Q_0^n}$$



例：用D触发器设计状态变化满足下状态图的时序逻辑电路



1、列出原始状态转换表



原始状态转换表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$g / 0$	$f / 1$
g	$a / 0$	$f / 1$

2、状态转换表化简

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$g / 0$	$f / 1$
g	$a / 0$	$f / 1$

第一次化简状态转换表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$f / 1$
e	$a / 0$	$f / 1$
f	$e / 0$	$f / 1$

3、状态编码

$a=000$; $b=001$; $c=010$; $d=011$; $e=100$

最后简化的状态转换表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
a	$a / 0$	$b / 0$
b	$c / 0$	$d / 0$
c	$a / 0$	$d / 0$
d	$e / 0$	$d / 1$
e	$a / 0$	$d / 1$

已分配状态的状态转换表

现态 (S^n)	次态/输出 (S^{n+1}/Y)	
	$A=0$	$A=1$
000	000 / 0	001 / 0
001	010 / 0	011 / 0
010	000 / 0	011 / 0
011	100 / 0	011 / 1
100	000 / 0	011 / 1

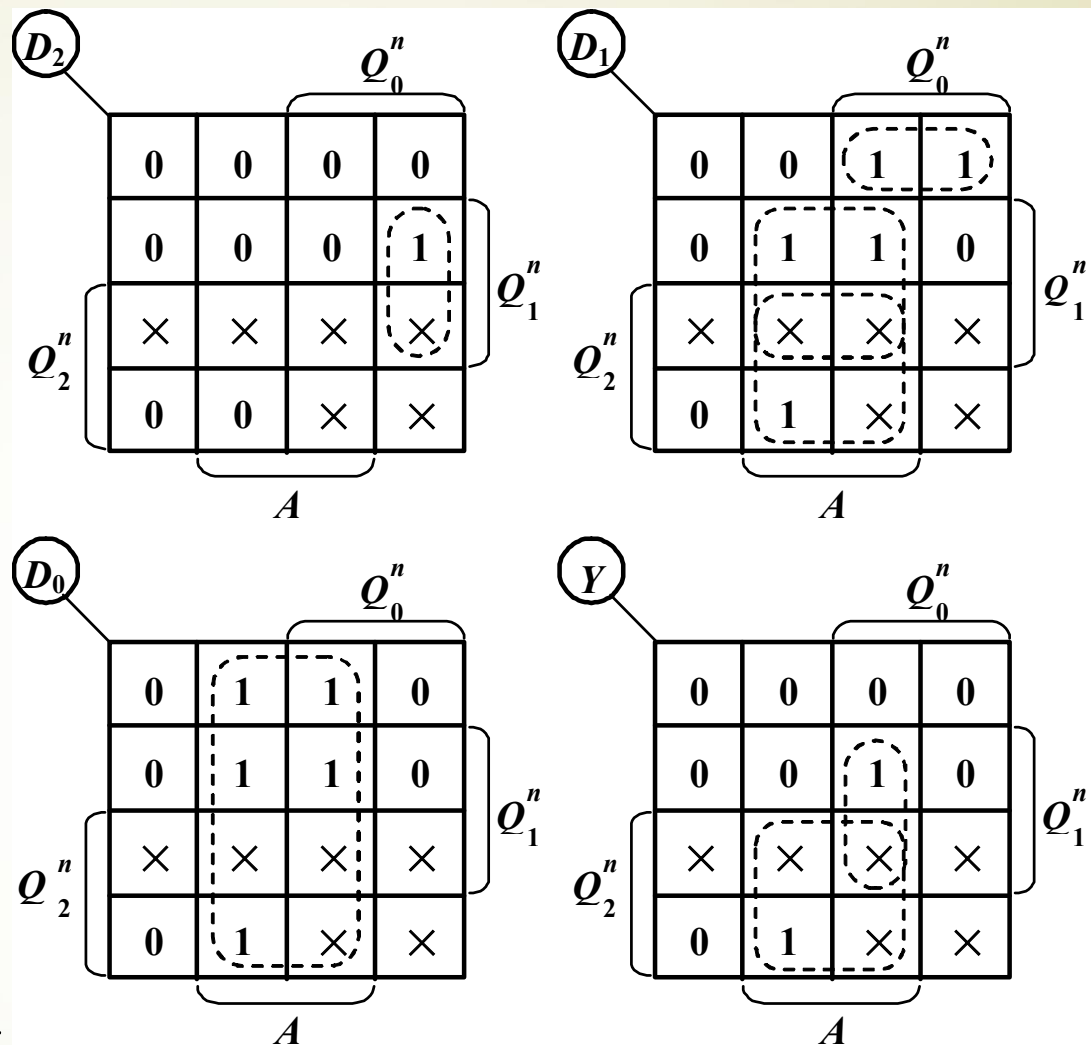
三种状态分配方案

状态	方案1 自然二进制码	方案2 格雷码	方案3 “一对一”
<i>a</i>	0 0 0	0 0 0	0 0 0 0 1
<i>b</i>	0 0 1	0 0 1	0 0 0 1 0
<i>c</i>	0 1 0	0 1 1	0 0 1 0 0
<i>d</i>	0 1 1	0 1 0	0 1 0 0 0
<i>e</i>	1 0 0	1 1 0	1 0 0 0 0

4、求激励方程、输出方程

状态转换真值表

Q_2^n	Q_1^n	Q_0^n	A	$Q_2^{n+1}(D_2)$	$Q_1^{n+1}(D_1)$	$Q_0^{n+1}(D_0)$	Y
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	1	1



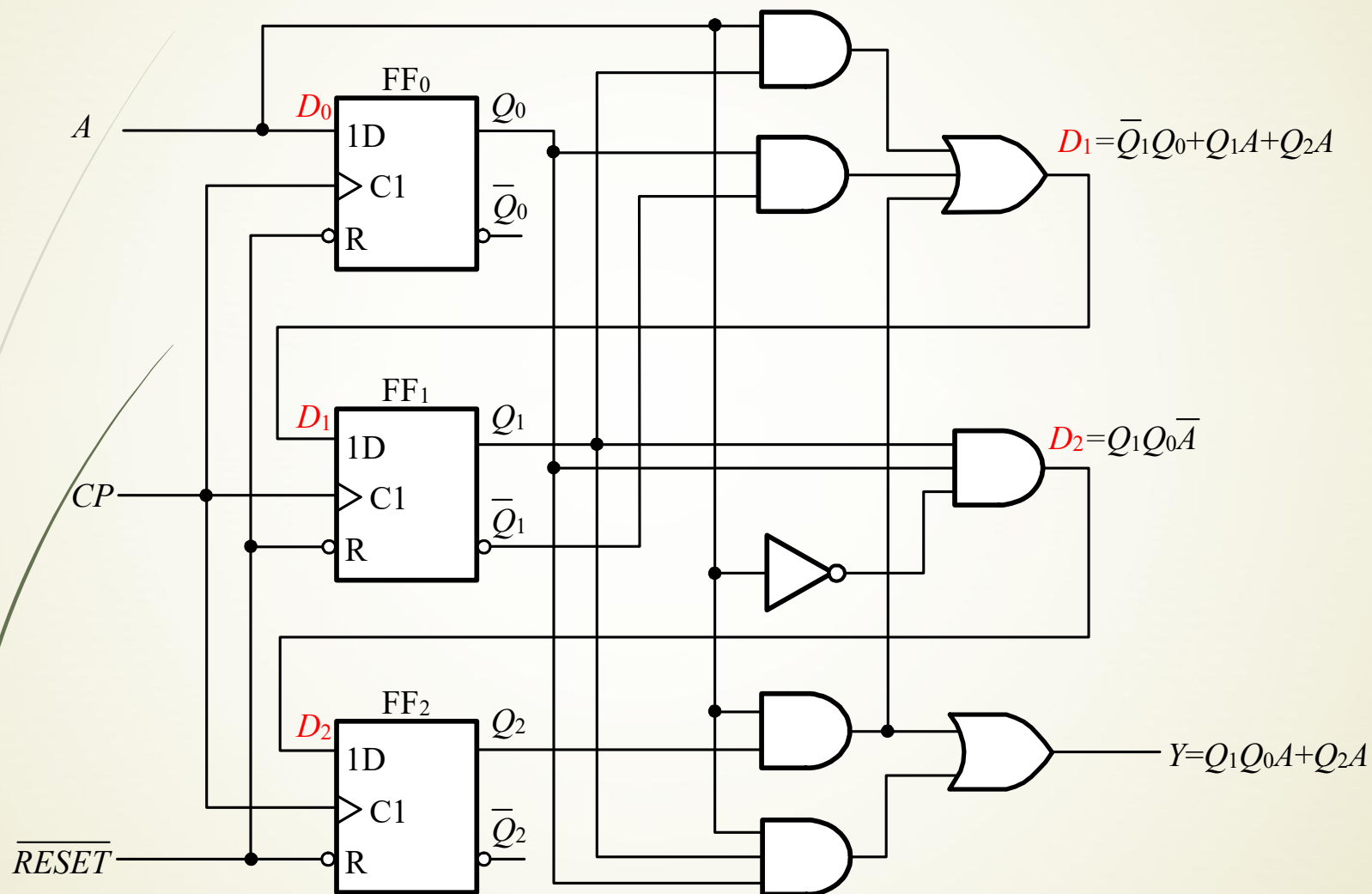
$$D_2 = Q_2^{n+1} = Q_1^n Q_0^n \bar{A}$$

$$D_1 = Q_0^n Q_1^n + Q_1^n A + Q_2^n A$$

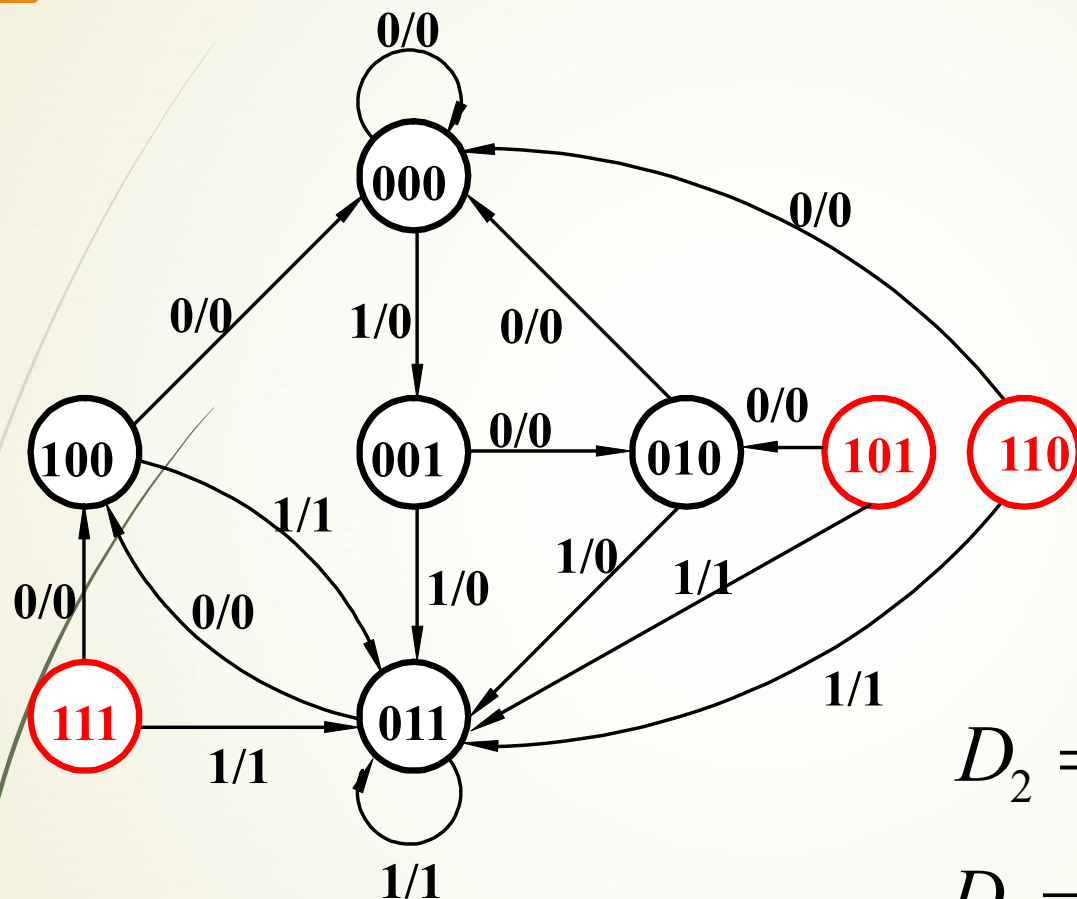
$$D_0 = Q_0^{n+1} = A$$

$$Y = Q_1^n Q_0^n A + Q_2^n A$$

画出逻辑电路



画出完整的状态转换图，检查所设计的计数器能否自启动



$$D_2 = Q_2^{n+1} = Q_1^n Q_0^n \bar{A}$$

$$D_1 = \overline{Q_0^n Q_1^n} + Q_1^n A + Q_2^n A$$

$$D_0 = Q_0^{n+1} = A$$

$$Y = Q_1^n Q_0^n A + Q_2^n A$$

6.4 异步时序逻辑电路的分析

一. 异步时序逻辑电路的分析方法:

分析步骤:

1. 写出下列各逻辑方程式:

a) 时钟方程

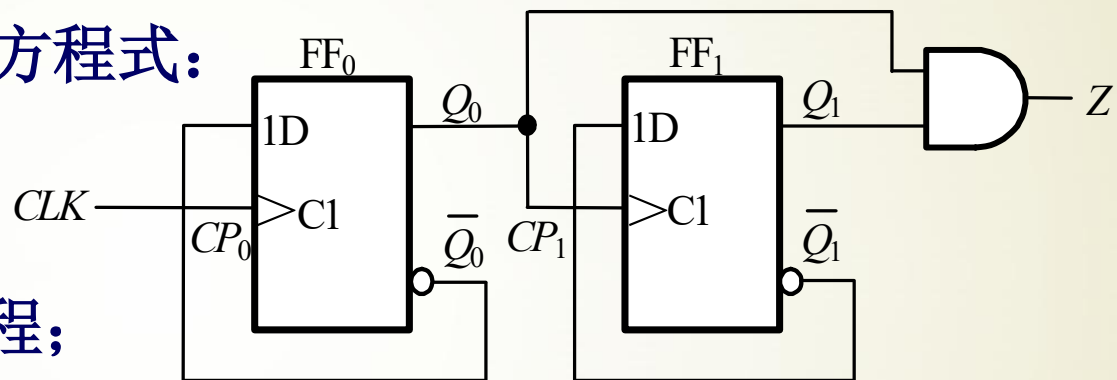
b) 触发器的激励方程;

c) 输出方程

d) 状态转换方程

2. 列出状态转换表或画出状态转换图和波形图;

3. 确定电路的逻辑功能。



注意:

- (1) 分析状态转换时必须考虑各触发器的时钟信号作用情况
有作用, 则令 $cp_n=1$; 否则 $cp_n=0$
根据激励信号确定那些 $cp_n=1$ 的触发器的次态, $cp_n=0$ 的触发器则保持原有状态不变。
- (2) 每一次状态转换必须从输入信号所能触发的第一个触发器开始逐级确定
- (3) 每一次状态转换都有一定的时间延迟
同步时序电路的所有触发器是同时转换状态的, 与之不同, 异步时序电路各个触发器之间的状态转换存在一定的延迟, 也就是说, 从现态 S^n 到次态 S^{n+1} 的转换过程中有一段“不稳定”的时间。在此期间, 电路的状态是不确定的。只有当全部触发器状态转换完毕, 电路才进入新的“稳定”状态, 即次态 S^{n+1} 。

二. 异步时序逻辑电路的分析举例

例1 分析如图所示异步电路

1. 写出电路方程式

① 时钟方程

$$CP_0 = CLK \quad CP_1 = Q_0$$

② 输出方程 $Z = Q_1^n Q_0^n$

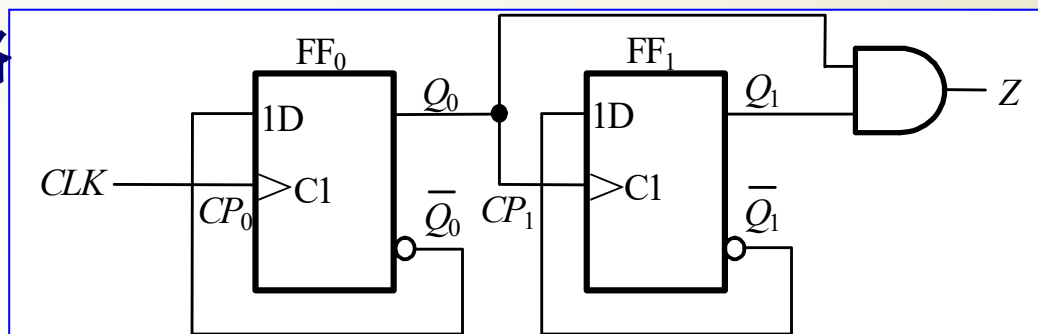
③ 激励方程 $D_0 = \overline{Q_0} \quad D_1 = \overline{Q_1}$

④ 求电路状态转换方程

触发器如有时钟脉冲的上升沿作用时，其状态变化；
如无时钟脉冲上升沿作用时，其状态不变。

$$Q_0^{n+1} = D_0 cp_0 + Q_0^n \overline{cp_0} = \overline{Q_0}^n cp_0 + Q_0^n \overline{cp_0}$$

$$Q_1^{n+1} = D_1 cp_1 + Q_1^n \overline{cp_1} = \overline{Q_1}^n cp_1 + Q_1^n \overline{cp_1}$$

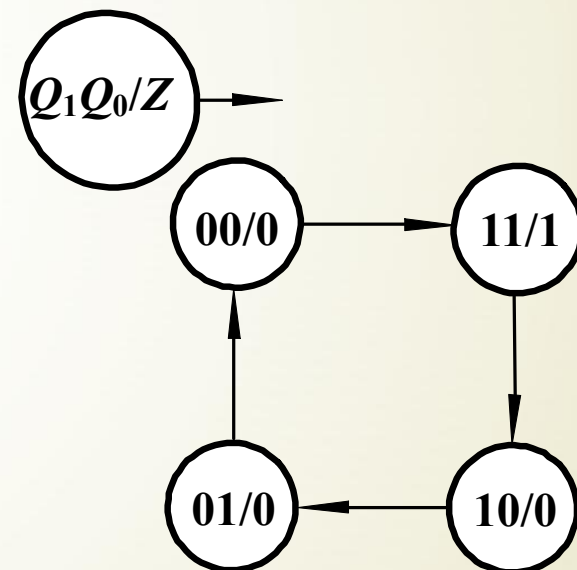


2. 列状态转换表、画状态转换图、波形图

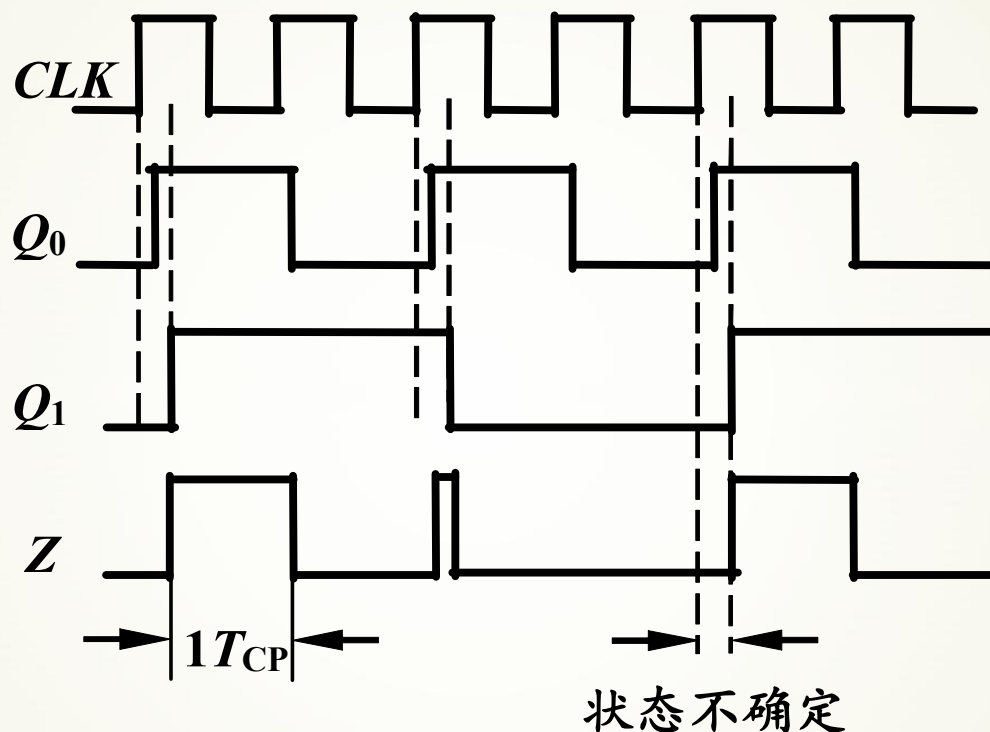
$$CP_0 = CLK \quad CP_1 = Q_0$$

(X---无触发沿, $\uparrow$ ---有触发沿)

CLK	Q_1	Q_0	CP_1	CP_0	Q_1^{n+1}	Q_0^{n+1}
$\uparrow$	0	0	$\uparrow$	$\uparrow$	1	1
$\uparrow$	1	1	X	$\uparrow$	1	0
$\uparrow$	1	0	$\uparrow$	$\uparrow$	0	1
$\uparrow$	0	1	X	$\uparrow$	0	0
$\uparrow$	0	0	$\uparrow$	$\uparrow$	1	1



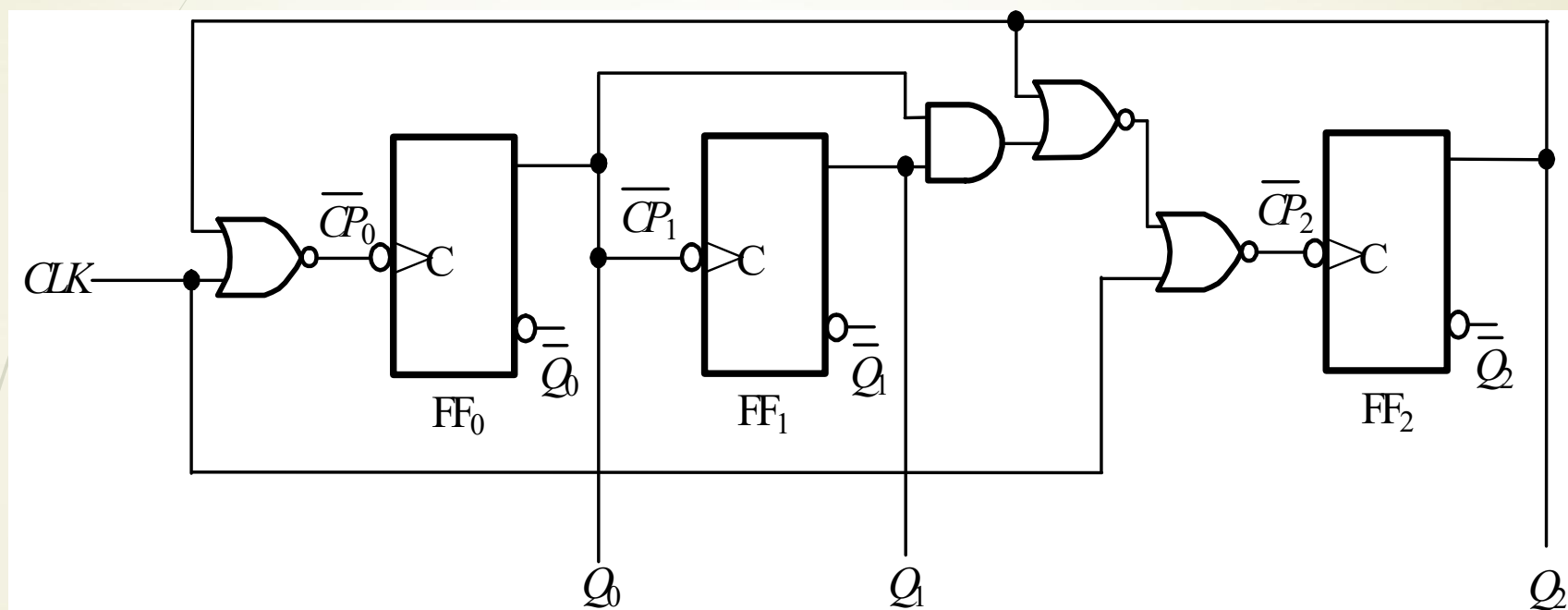
根据状态转换图和具体触发器的传输延迟时间 t_{pLH} 和 t_{pHL} ，可以画出时序图



3. 逻辑功能分析

该电路是一个异步二进制减计数器， Z 信号的上升沿可触发借位操作。也可把它看作为一个序列信号发生器。

例2 分析如图所示异步时序逻辑电路。




$$\overline{CP_0} = \overline{Q_2 + CLK} = \overline{Q_2} \overline{CLK}$$

$$\overline{CP_2} = \overline{Q_0 Q_1 + Q_2 + CLK} = (\overline{Q_0 Q_1 + Q_2}) \overline{CLK}$$

$$Q_0^{n+1} = \overline{Q_0^n} cp_0 + Q_0^n \overline{cp_0}$$

$$Q^{n+1} = \overline{Q^n} cp_1 + Q^n \overline{cp_1}$$

$$Q_2^{n+1} = \overline{Q_2}^n c p_2 + Q_2^n \overline{c p_2}$$

(2) 列出状态转换表

$$\overline{CP}_0 = \overline{Q}_2 \overline{CLK}$$

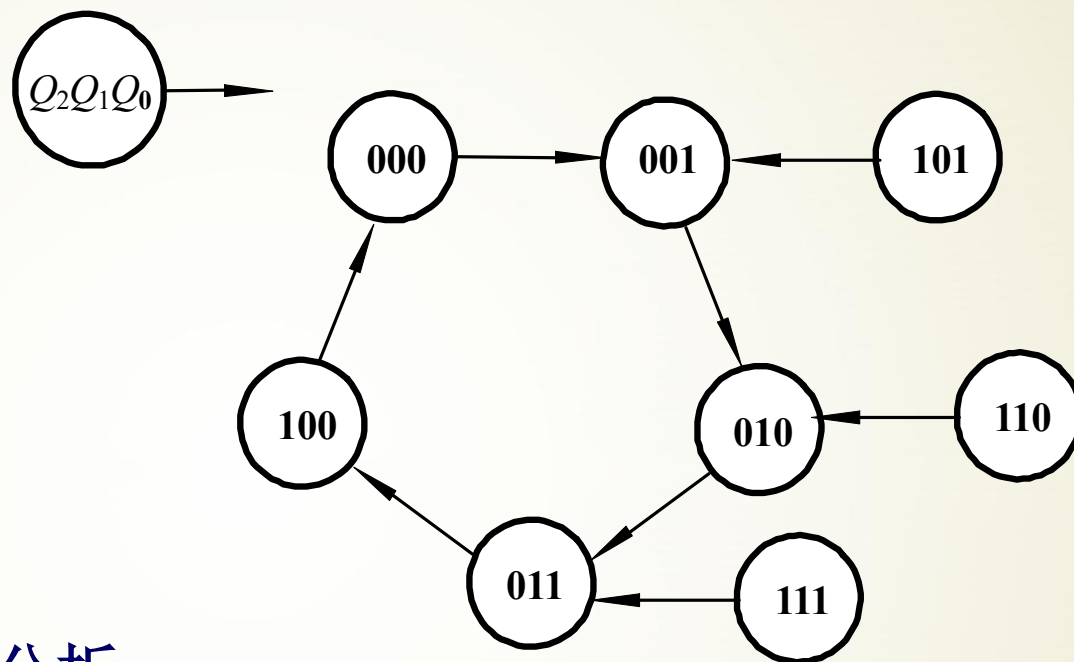
$$\overline{CP}_1 = Q_0$$

$$\overline{CP}_2 = (Q_0 Q_1 + Q_2) \overline{CLK}$$

(**cp=0**表示无时钟下降沿, **cp=1**表示有时钟下降沿)

Q_2^n	Q_1^n	Q_0^n	cp_2	cp_1	cp_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	0	0	1	0	1	1
0	1	1	1	1	1	1	0	0
1	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	1
1	1	0	1	0	0	0	1	0
1	1	1	1	0	0	0	1	1

(3) 画出状态转换图



(4) 逻辑功能分析

电路是一个异步五进制加计数电路。

6.5 常用时序逻辑电路模块

6.5.1 寄存器和移位寄存器

6.5.2 计数器

6.5 常用时序逻辑电路模块

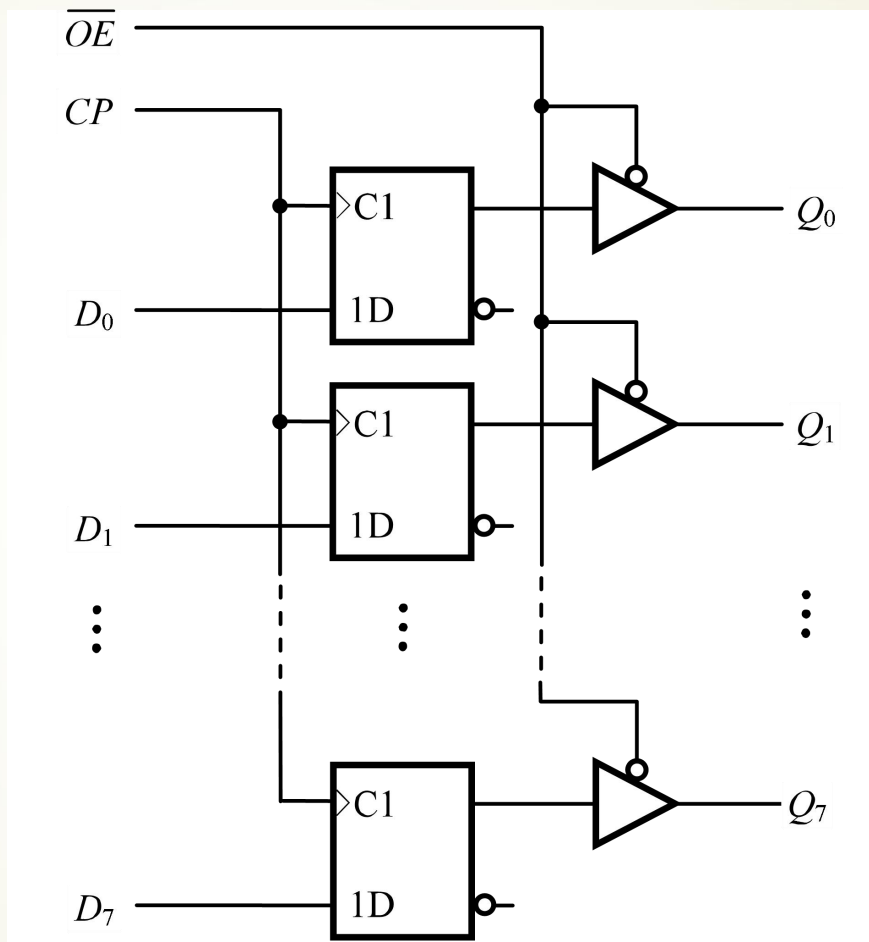
6.5.1 寄存器和移位寄存器

1、 寄存器

寄存器:是数字系统中用来存储代码或数据的逻辑部件。它的主要组成部分是触发器。

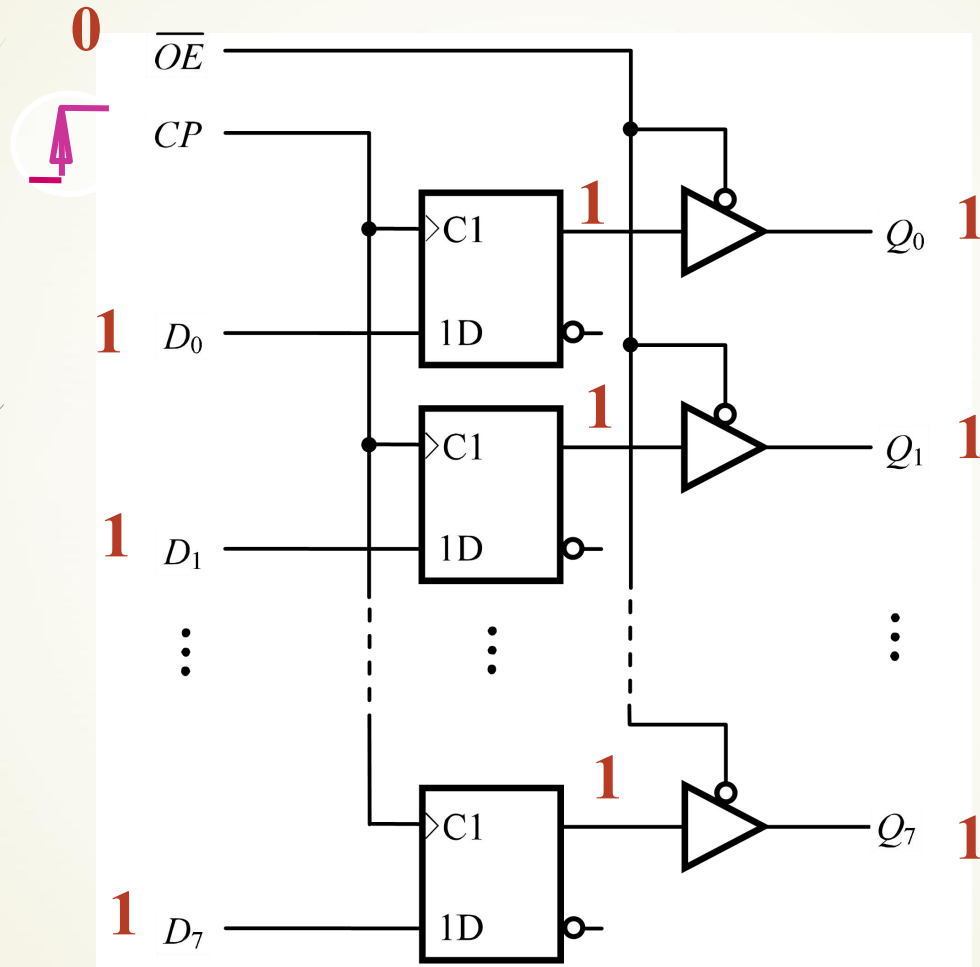
一个触发器能存储1位二进制代码，存储 n 位二进制代码的寄存器需要用 n 个触发器组成。寄存器实际上是若干触发器的集合。

8位CMOS寄存器74HC374



脉冲边沿敏感的寄存器

8位CMOS寄存器74HC/HCT374



8位CMOS寄存器74LV374

工作模式	输 入			内部触发器 Q_N^{n+1}	输出
	$\overline{OE}$	CP	D_N		$Q_0 \sim Q_7$
存入和读出数据	L	↑	L	L	对应内部触发器的状态
	L	↑	H	H	
存入数据，禁止输出	H	↑	L	L	高阻
	H	↑	H	H	高阻

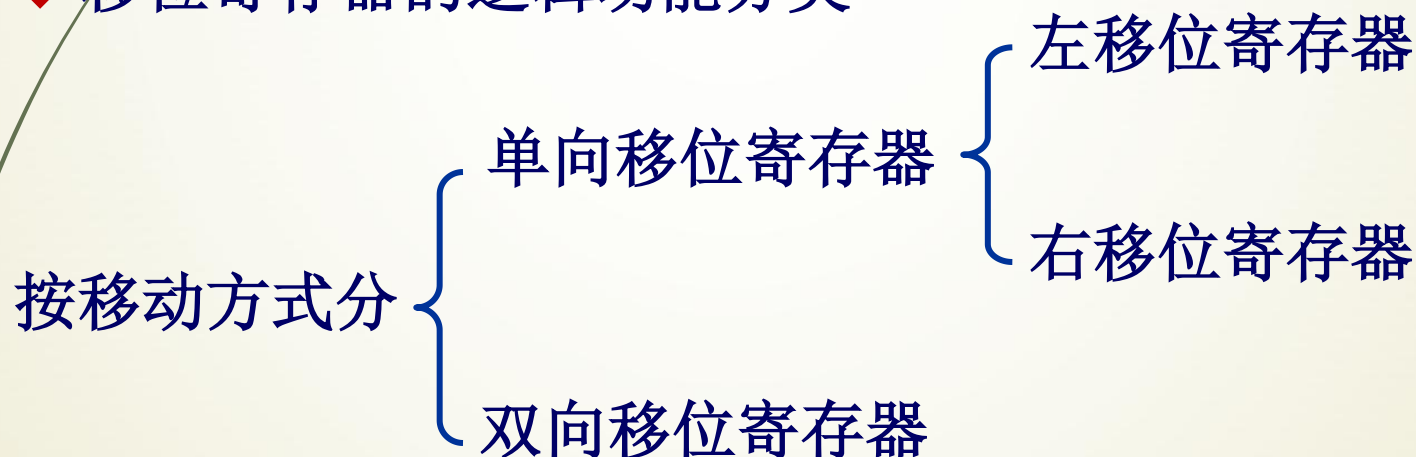
与第5章74HC373类似，区别是74HC373是电平敏感电路,而74LV374是脉冲边沿敏感电路。

2、移位寄存器

◆ 移位寄存器的逻辑功能

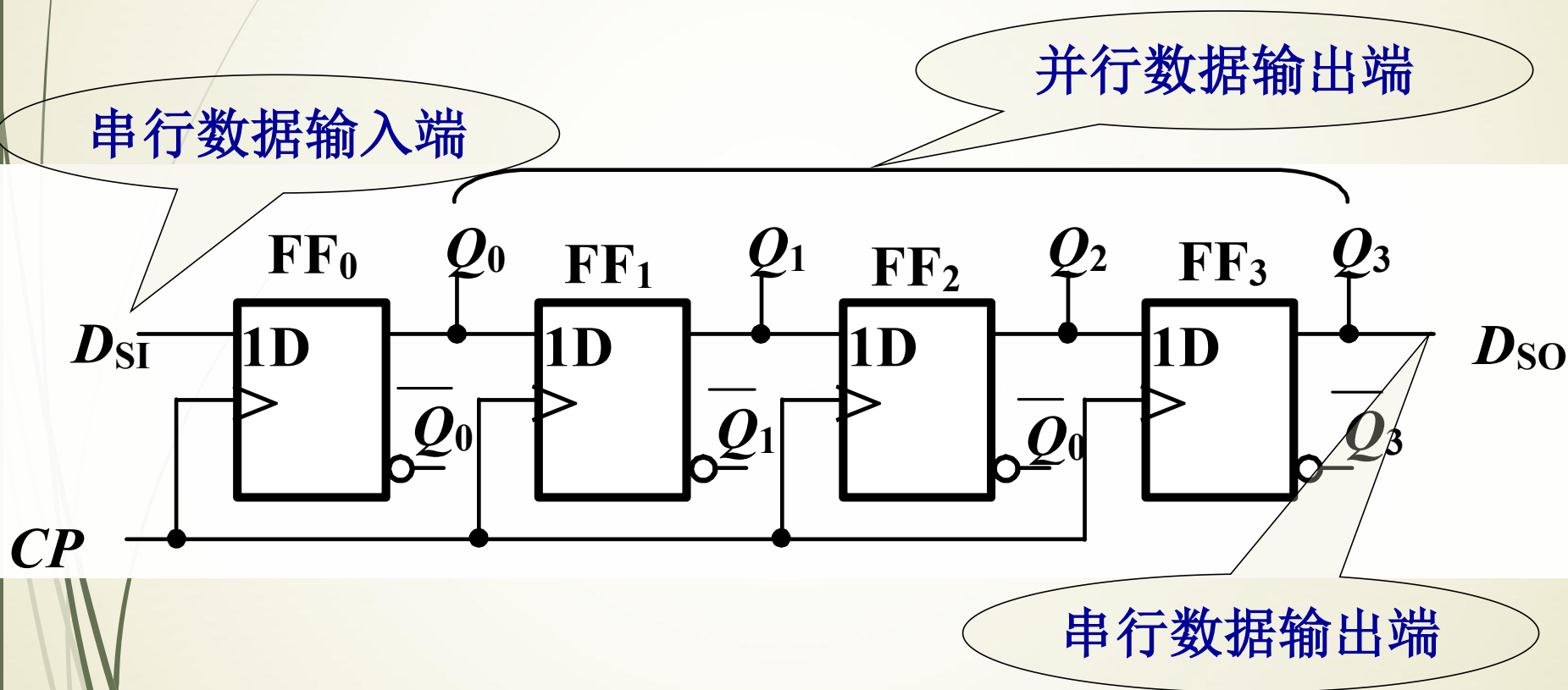
移位寄存器是既能寄存数码，又能在时钟脉冲的作用下使数码向高位或向低位移动的逻辑功能部件。

◆ 移位寄存器的逻辑功能分类



(1) 基本移位寄存器

(a) 电路



(b) 工作原理

写出激励方程:

$$D_0 = D_{SI} \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

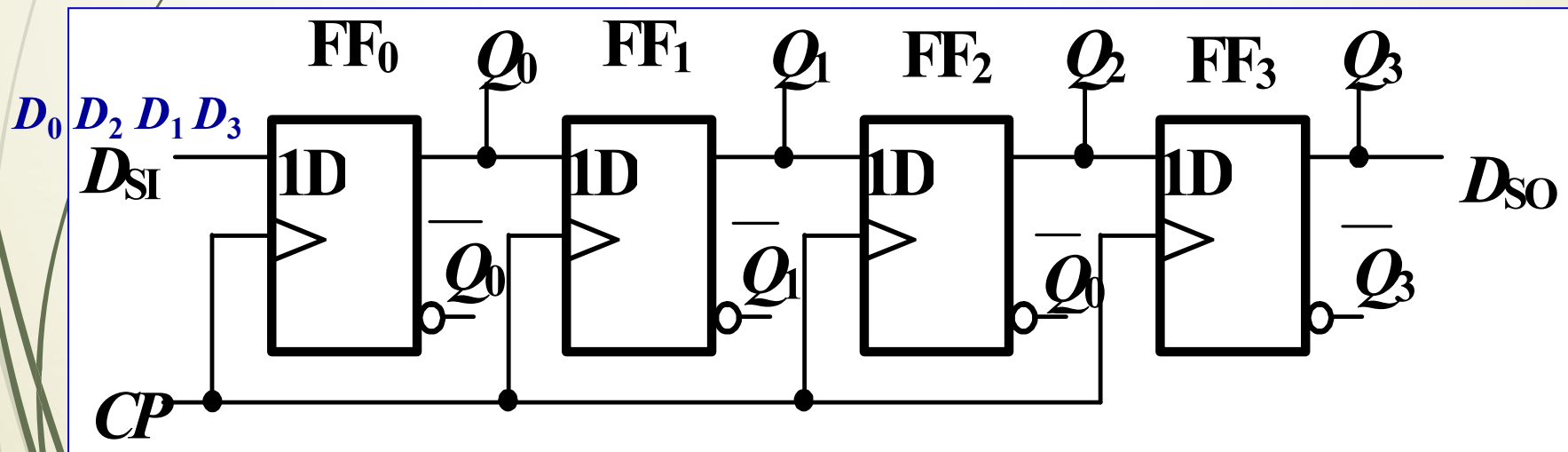
写出状态方程:

$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

$$Q_3^{n+1} = D_3 = Q_2^n$$



$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = Q_0^n$$

$$Q_2^{n+1} = Q_1^n$$

$$Q_3^{n+1} = Q_2^n$$

1CP 后 1→

FF ₀	FF ₁	FF ₂	FF ₃
0	0	0	0

1	0	0	0
---	---	---	---

2CP 后 1→

1	1	0	0
---	---	---	---

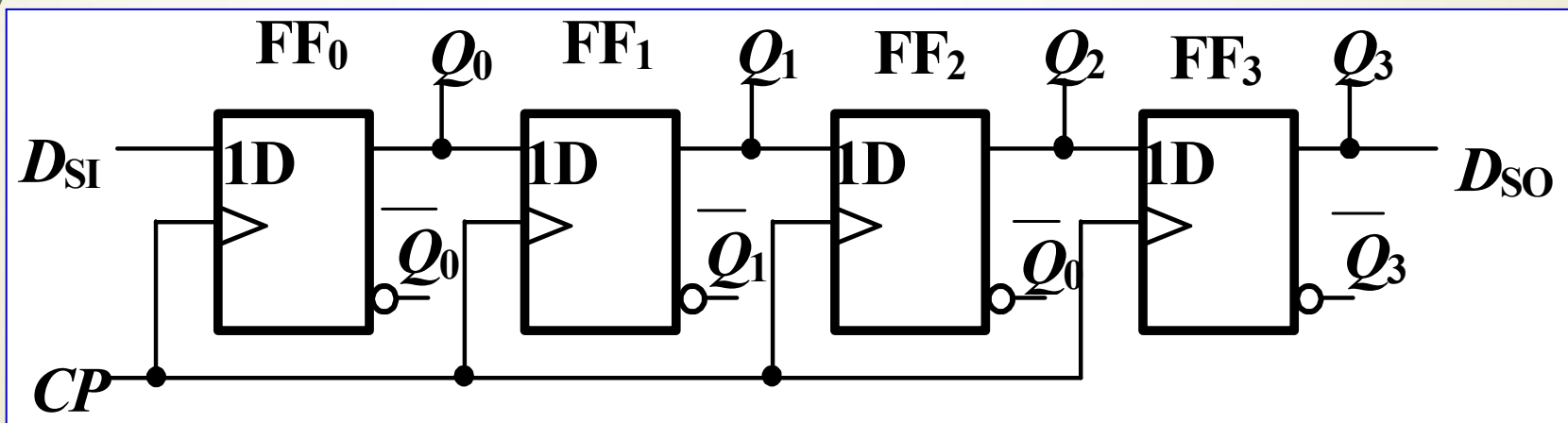
3CP 后 0→

0	1	1	0
---	---	---	---

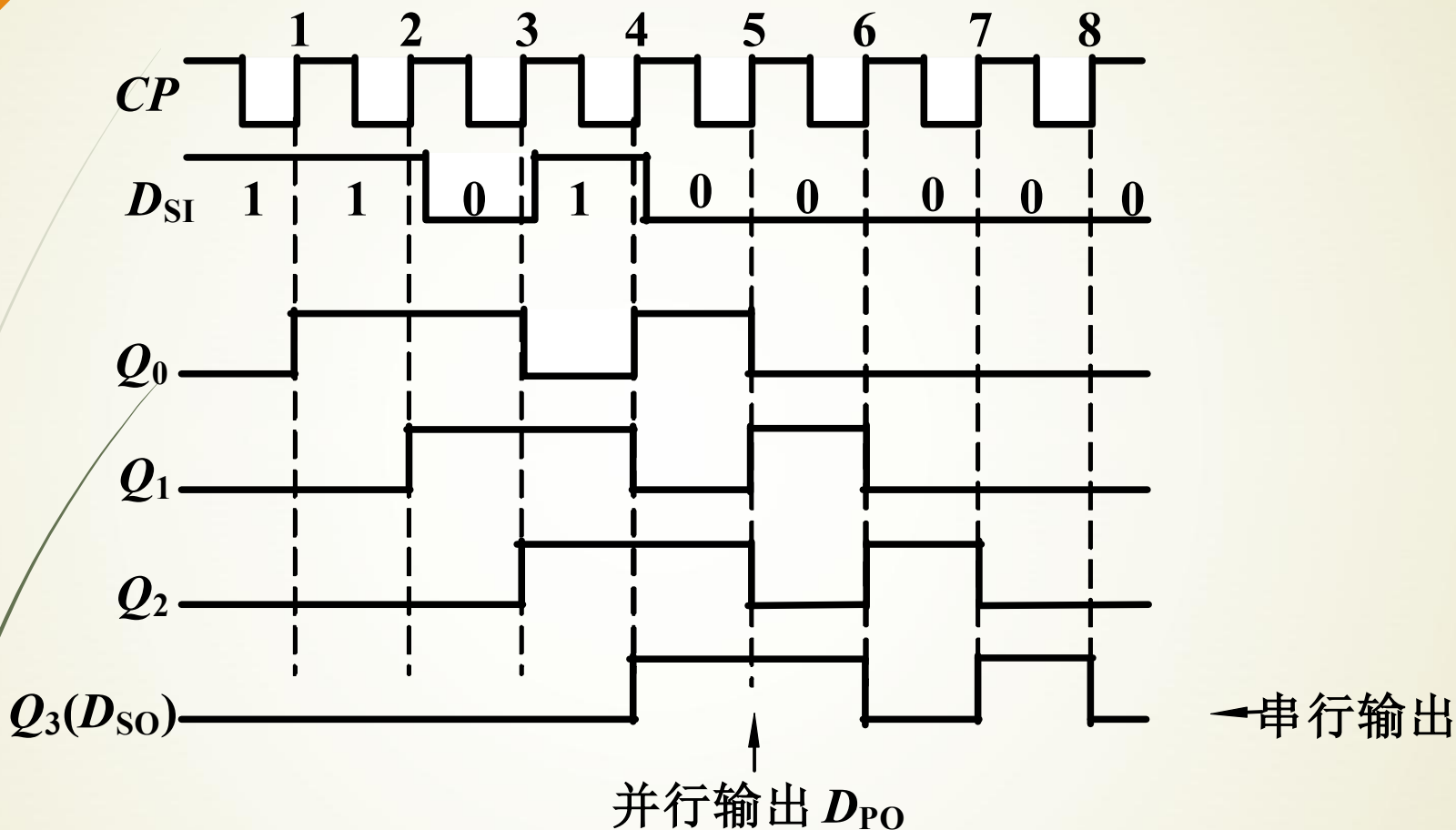
4CP 后 1→

1	0	1	1
---	---	---	---

1011



$D_{SI} = 11010000$, 从高位开始输入



经过7个CP脉冲作用后，从 D_{SI} 端串行输入的数码就可以从 D_O 端串行输出。
串入→串出

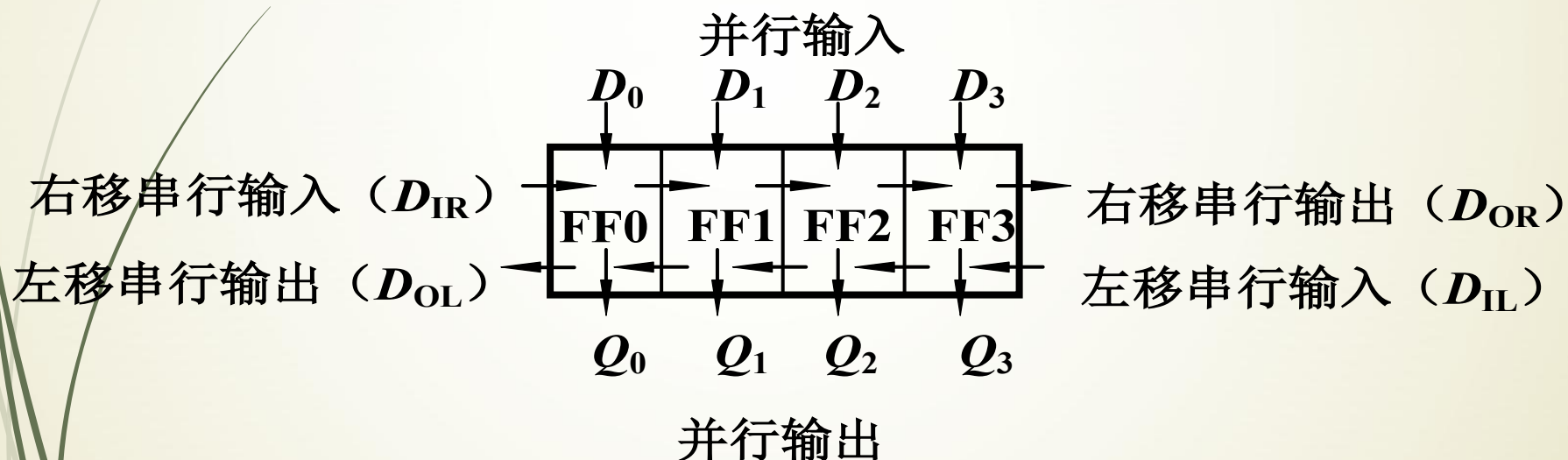
(2) 多功能双向移位寄存器

(a) 工作原理

高位移向低位----左移

低位移向高位----右移

多功能移位寄存器工作模式简图



实现多种功能双向移位寄存器的一种方案(仅以FF_m为例)

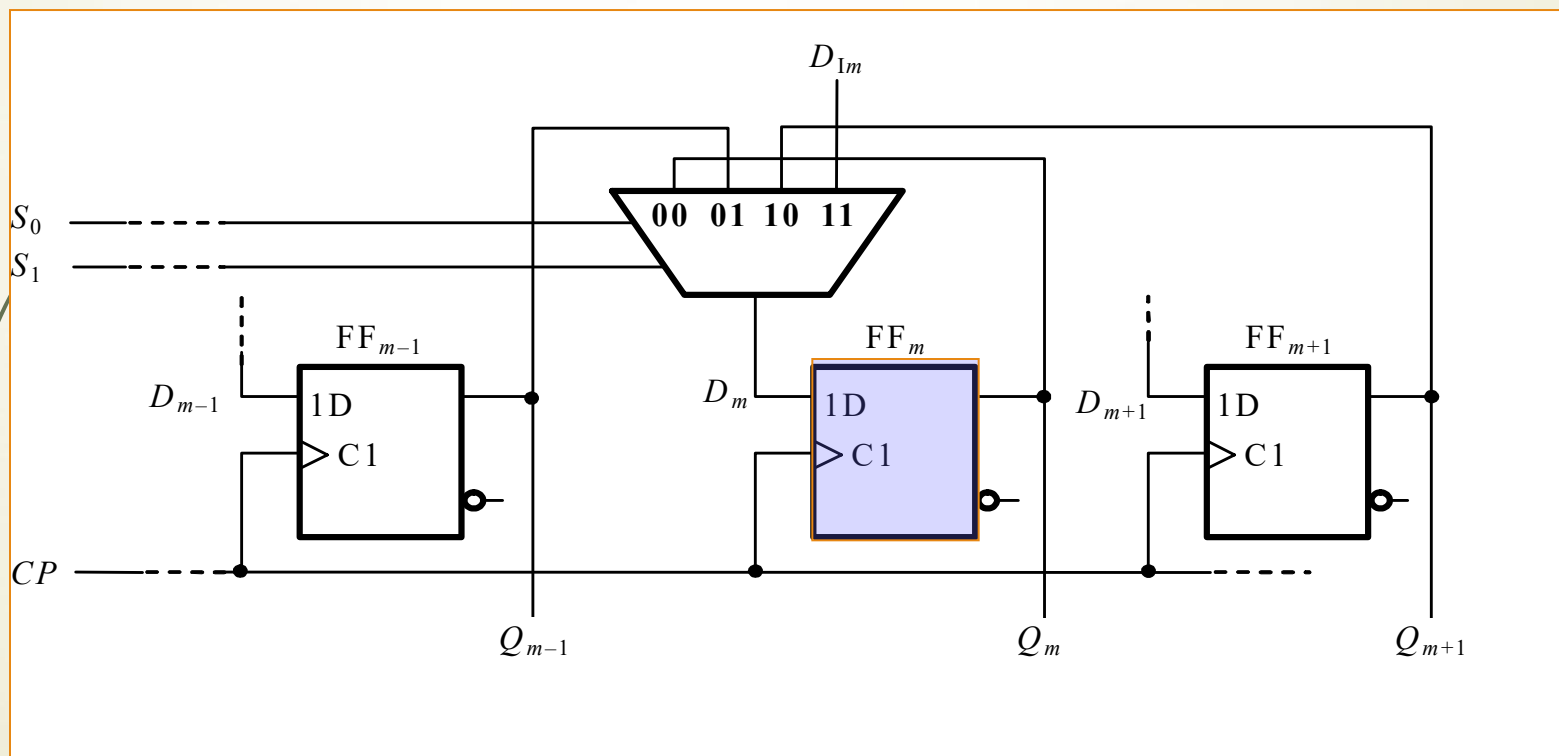
$S_1S_0=00$ $Q_m^{n+1} = Q_m^n$ 不变

$S_1S_0=10$ $Q_m^{n+1} = Q_{m+1}^n$

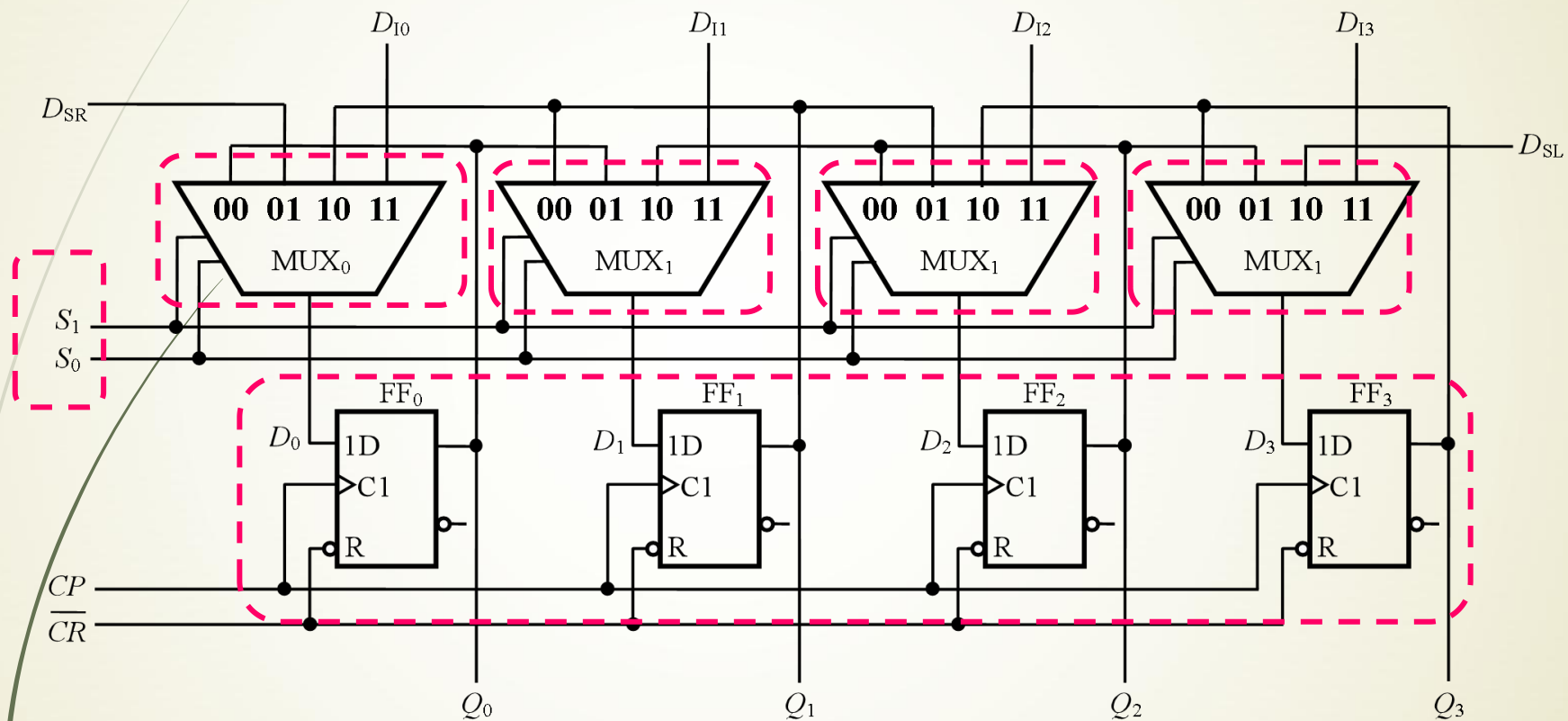
高位移
向低位

$S_1S_0=01$ $Q_m^{n+1} = Q_{m-1}^n$ 低位移
向高位

$S_1S_0=11$ $Q_m^{n+1} = D_m$ 并入



(b) 4位双向移位寄存器模块



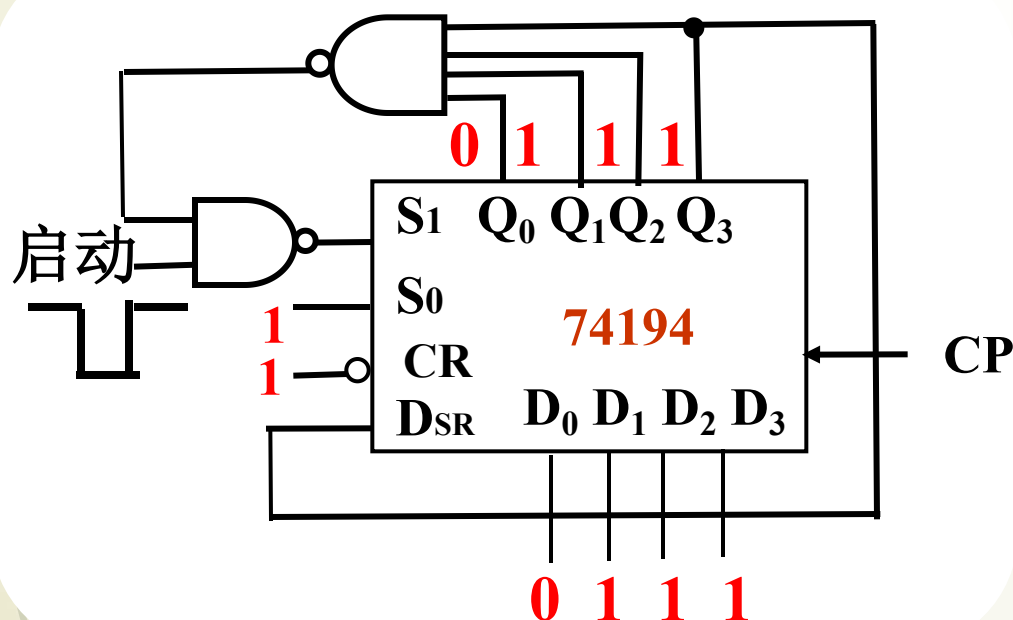
4位双向移位寄存器功能表（74HCT194）

输 入						输 出				行				
清 零	控制信号		串行输入		时 钟 CP	并行输入					Q_0^{n+1} Q_1^{n+1} Q_2^{n+1} Q_3^{n+1}			
$\overline{CR}$	S_1	S_0	右 移 D_{SR}	左 移 D_{SL}		DI_0	DI_1	DI_2	DI_3					
L	×	×	×	×	×	×	×	×	×	L	L	L	L	1
H	L	L	×	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n	2
H	L	H	L	×	↑	×	×	×	×	L	Q_0^n	Q_1^n	Q_2^n	3
H	L	H	H	×	↑	×	×	×	×	H	Q_0^n	Q_1^n	Q_2^n	4
H	H	L	×	L	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	L	5
H	H	L	×	H	↑	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	H	6
H	H	H	×	×	↑	DI_0^*	DI_1^*	DI_2^*	DI_3^*	$\overline{D}_0$	$\overline{D}_1$	$\overline{D}_2$	$\overline{D}_3$	7

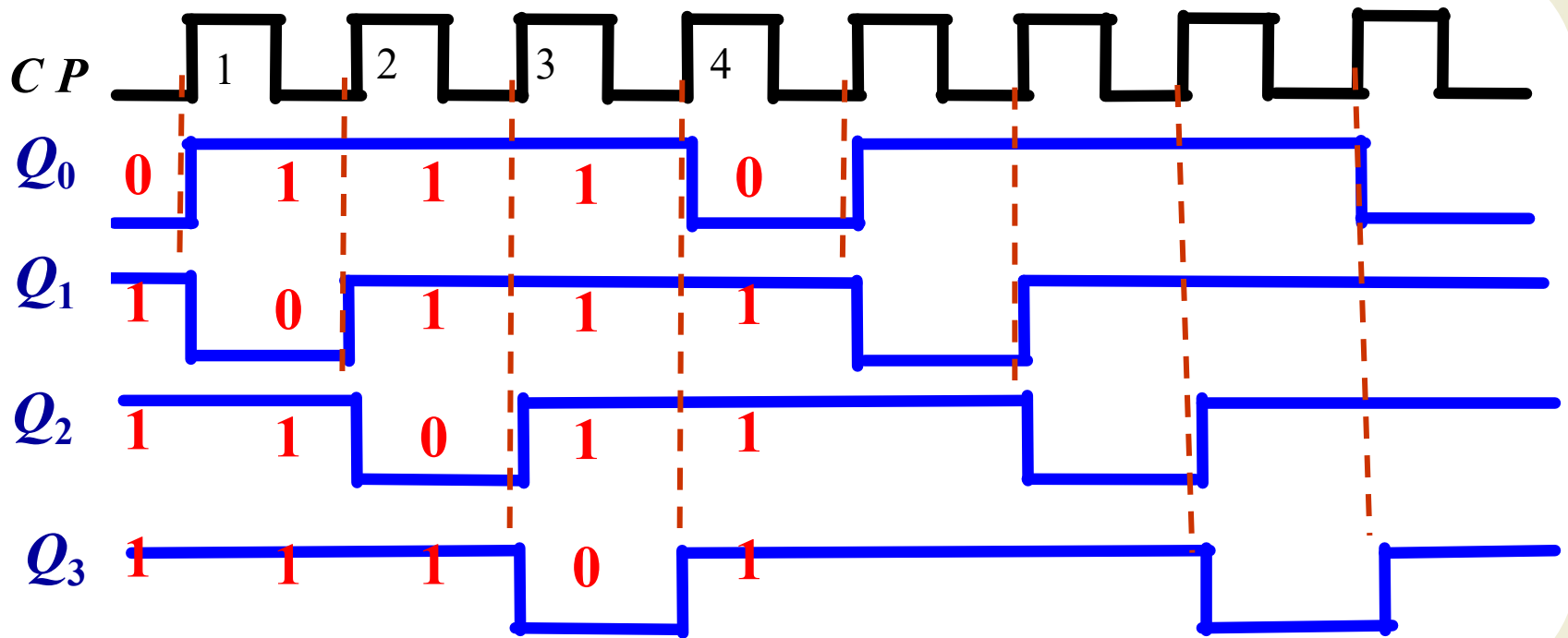
例：时序脉冲产生器。电路如图所示。画出 Q_0-Q_3 波形，分析逻辑功能。

解：启动信号为0： $S_1=1$ $S_0=1$, 同步置数 $Q_A \sim Q_D=0111$

启动信号为1后： $S_1=0$ $S_0=1$, 低位移向高位状态, $Q_3 = D_{SR}$



因为 $Q_0 \sim Q_3$ 总有一个为0， $S_1 S_0 = 01$ ，则74194始终工作在低位向高位移动循环移位的状态。



6.5.2 计 数 器

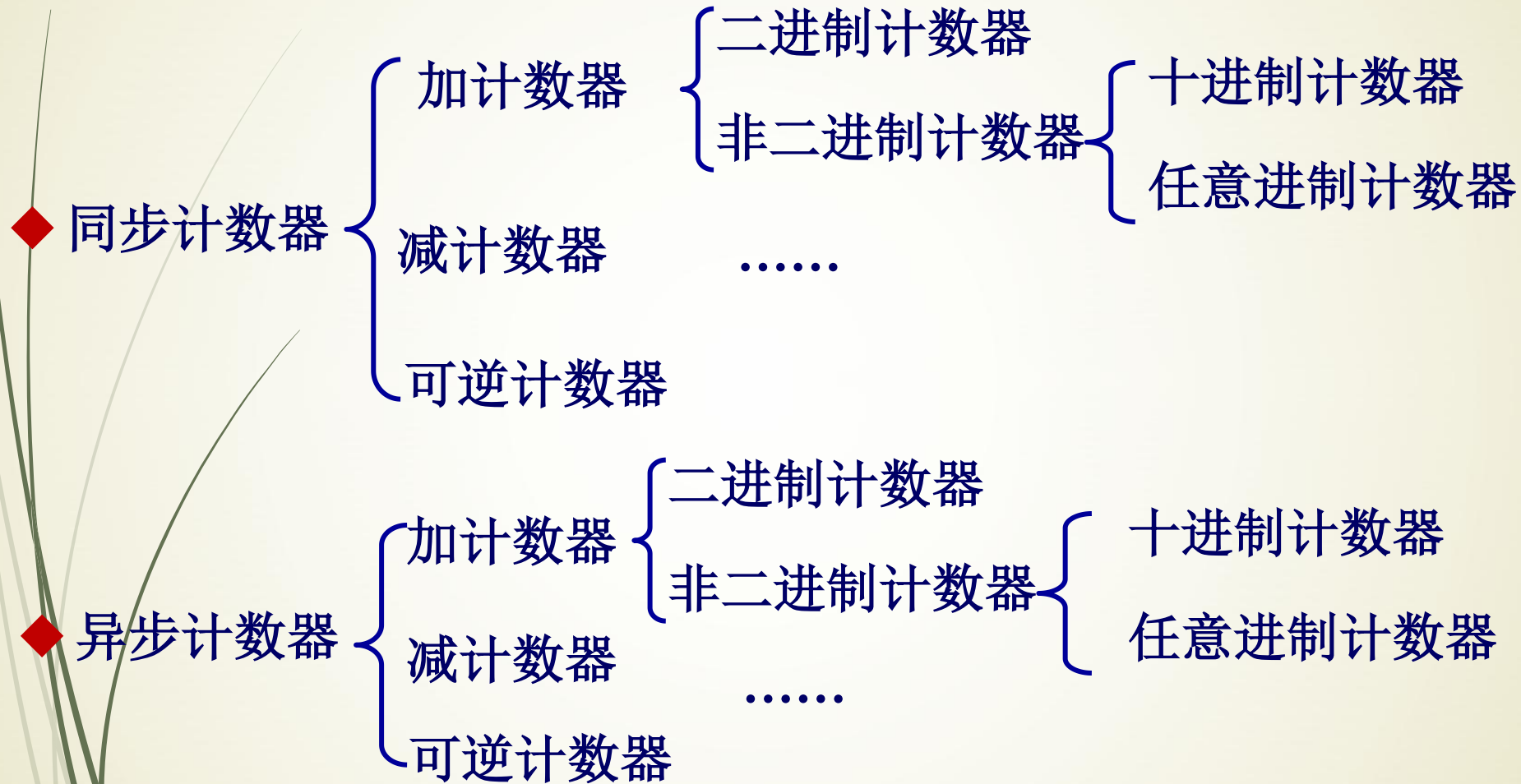
概 述

(1) 计数器的逻辑功能

计数器的基本功能是对输入时钟脉冲进行计数。它也可用于分频、定时、产生节拍脉冲和脉冲序列及其他时序信号等等。

(2) 计数器的分类

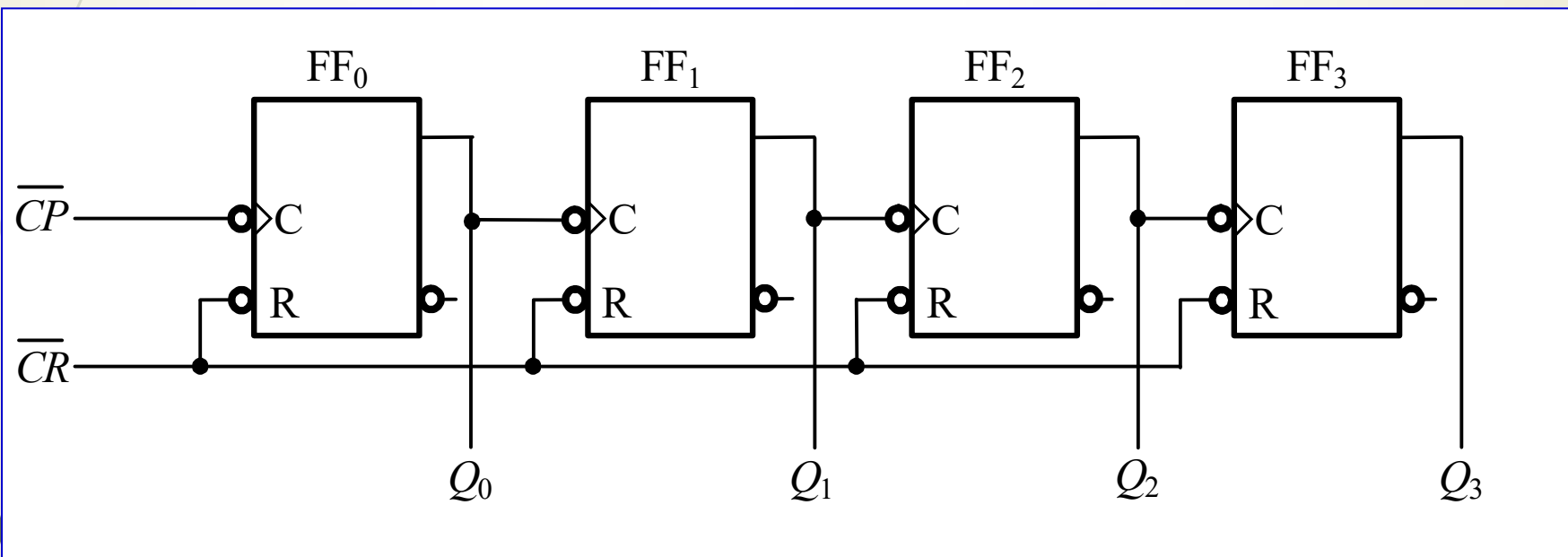
- ◆ 按脉冲输入方式，分为同步和异步计数器
- ◆ 按进位体制，分为二进制、十进制和任意进制计数器
- ◆ 按逻辑功能，分为加法、减法和可逆计数器

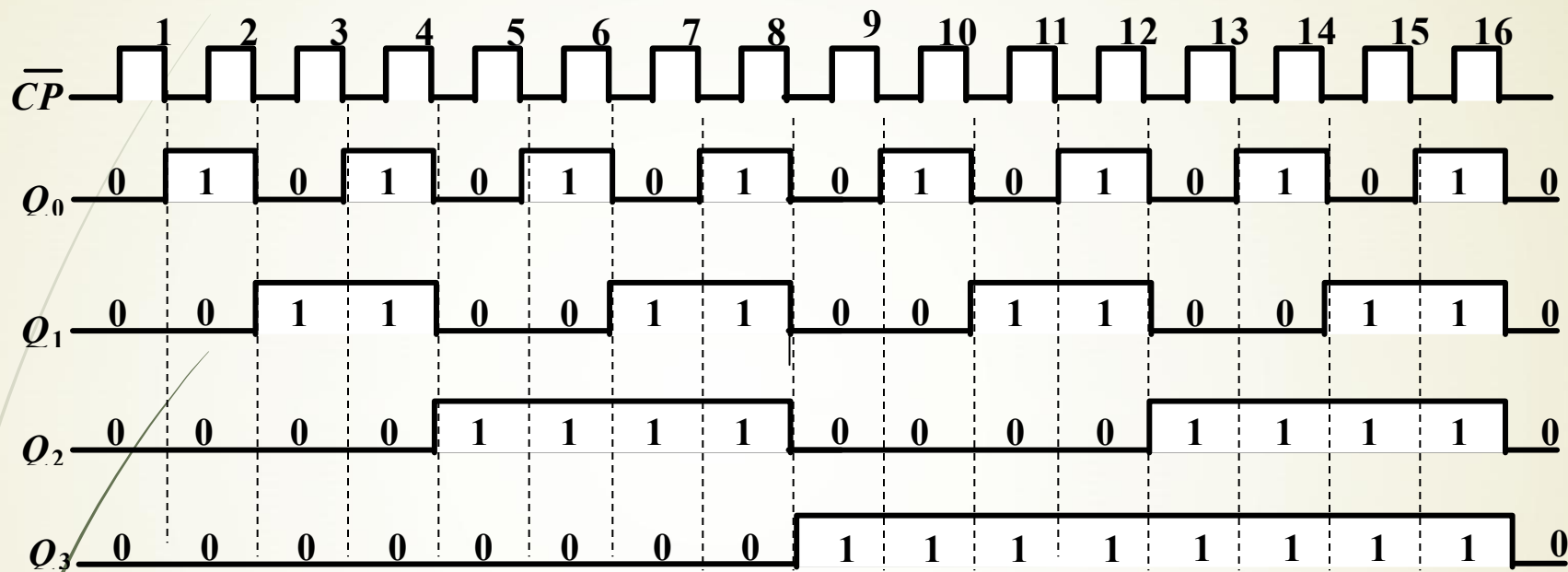


1、 二进制计数器

(1) 异步二进制计数器---4位异步二进制加法计数器

工作原理

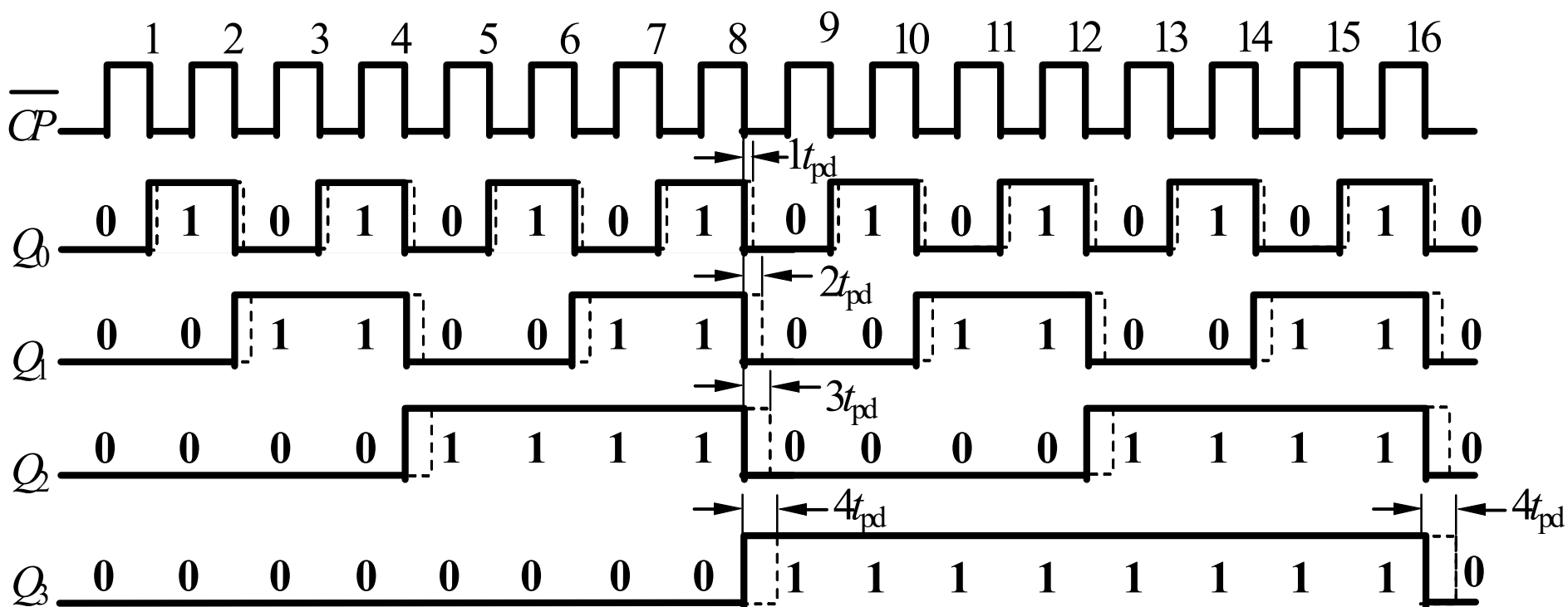




$$f_{Q_0} = \frac{1}{2} f_{CP} \quad f_{Q_1} = \frac{1}{4} f_{CP} \quad f_{Q_2} = \frac{1}{8} f_{CP} \quad f_{Q_3} = \frac{1}{16} f_{CP}$$

结论: ➤ 计数器的功能: 不仅可以计数也可作为分频器。

如考虑每个触发器都有 $1t_{pd}$ 的延时，电路会出现什么问题？



➤ 异步计数脉冲的最小周期 $T_{\min} = n t_{pd}$ 。（ n 为位数）

(2) 二进制同步加计数器

◆ Q_0 在每个CP都翻转一次

FF₀可采用 $T_0=1$ 的T触发器

◆ Q_1 仅在 $Q_0=1$ 后的下一个CP到来时翻转

FF₁可采用 $T_1=Q_0$ 的T触发器

◆ Q_2 仅在 $Q_0=Q_1=1$ 后的下一个CP到来时翻转

FF₂可采用 $T_2=Q_0Q_1$ 的T触发器

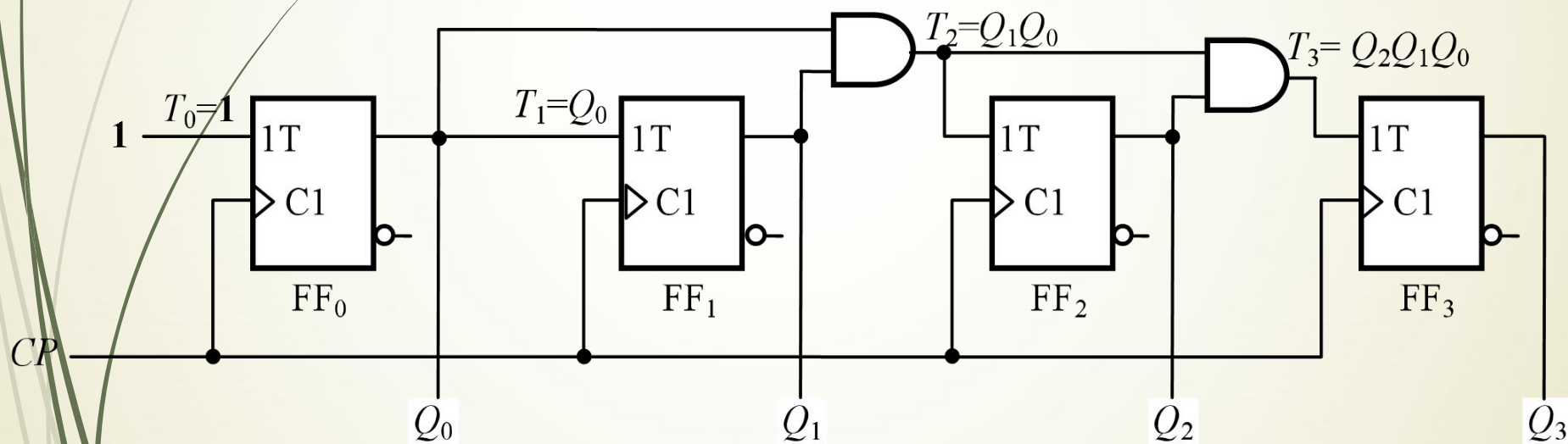
◆ Q_3 仅在 $Q_0=Q_1=Q_2=1$ 后的下一个CP到来时翻转

FF₃可采用 $T_3=Q_0Q_1Q_2$ 的T触发器

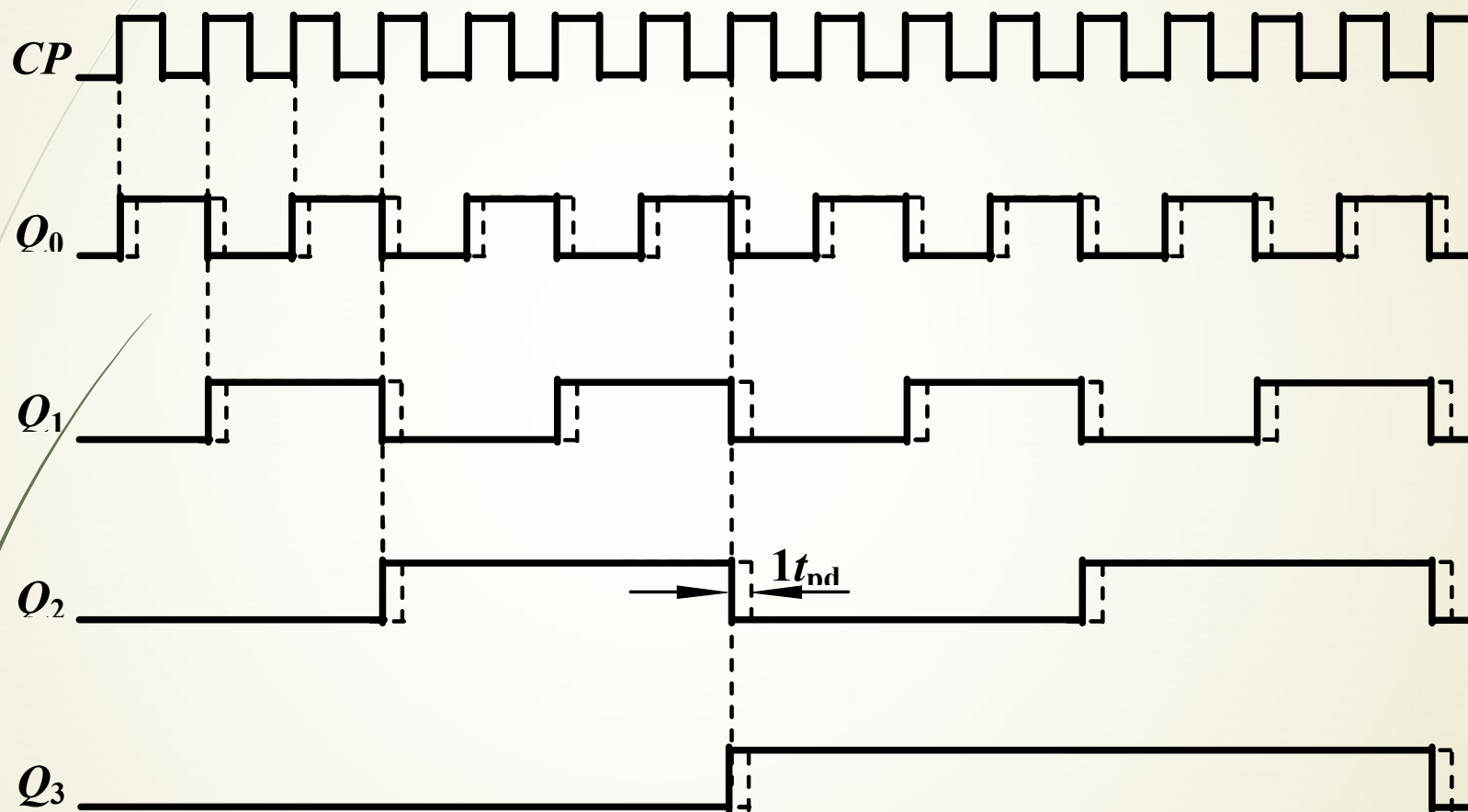
计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(a) 4位二进制同步加计数器逻辑图---由T触发器构成

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$

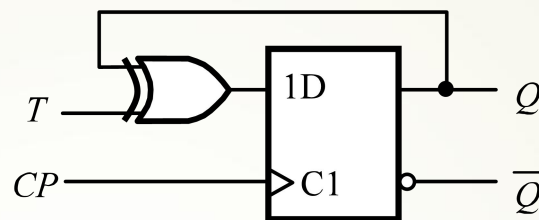


4位二进制同步加计数器时序图

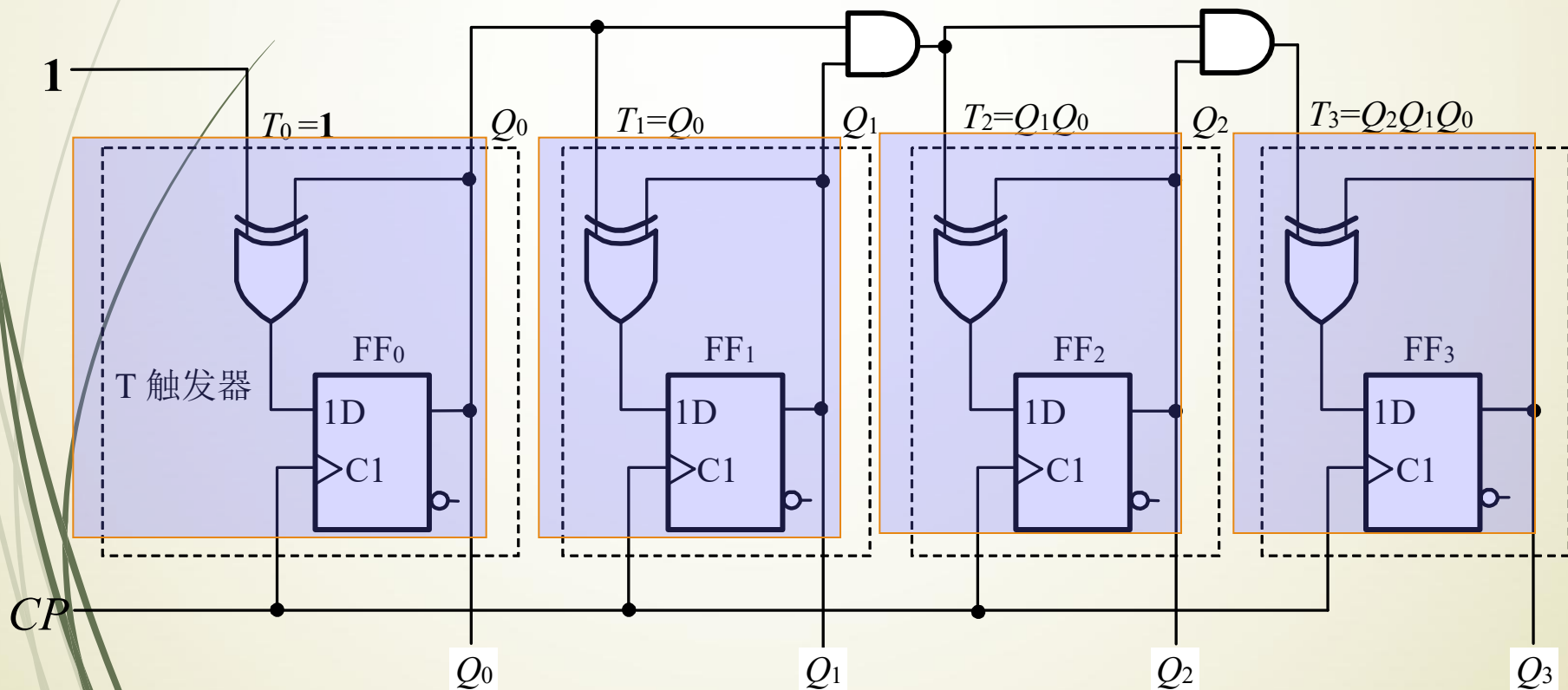


(b) 4位二进制同步加计数器逻辑图---由D触发器构成

$$Q^{n+1} = D = T\overline{Q}^n + \overline{T}Q^n$$



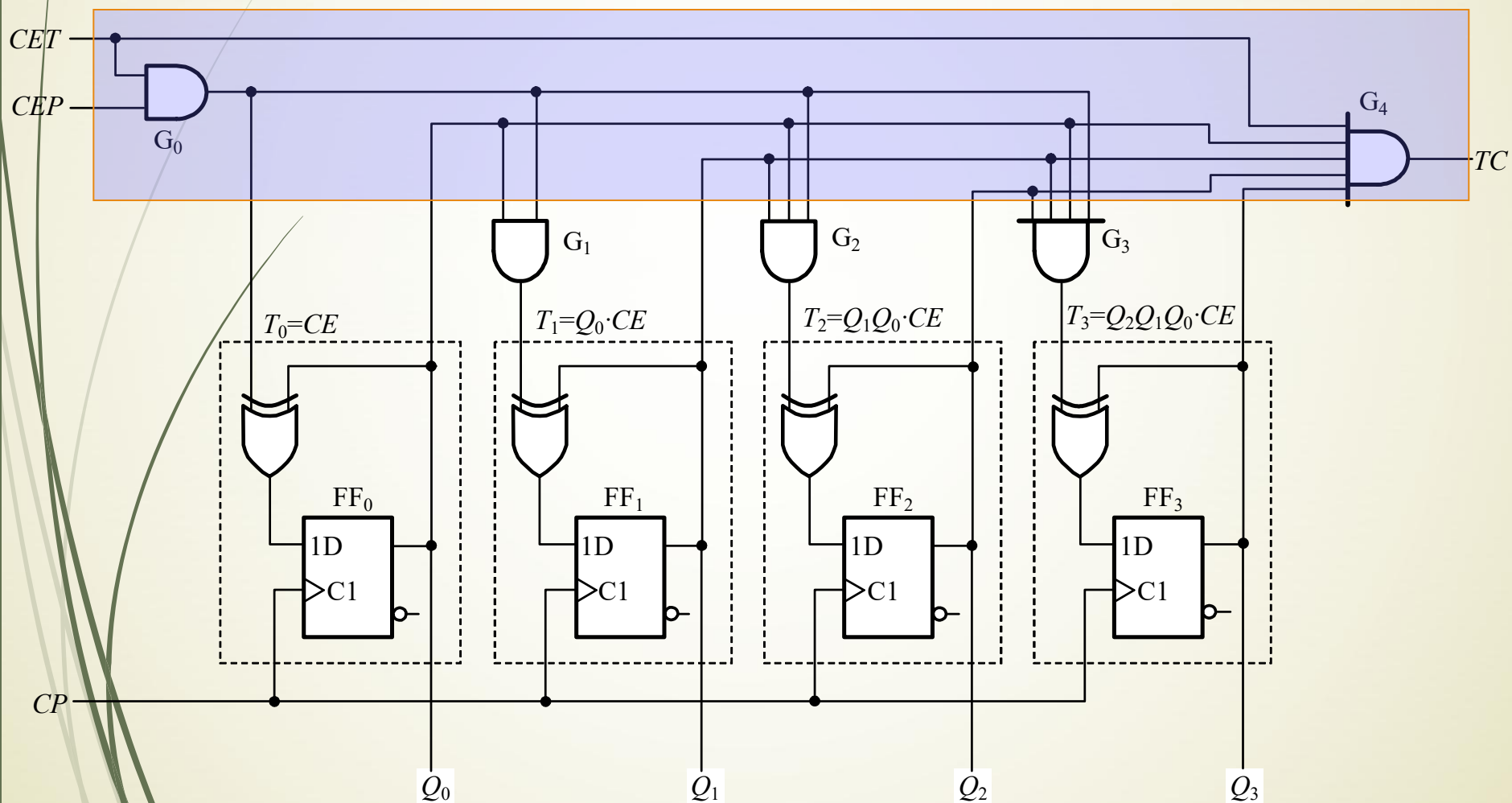
$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



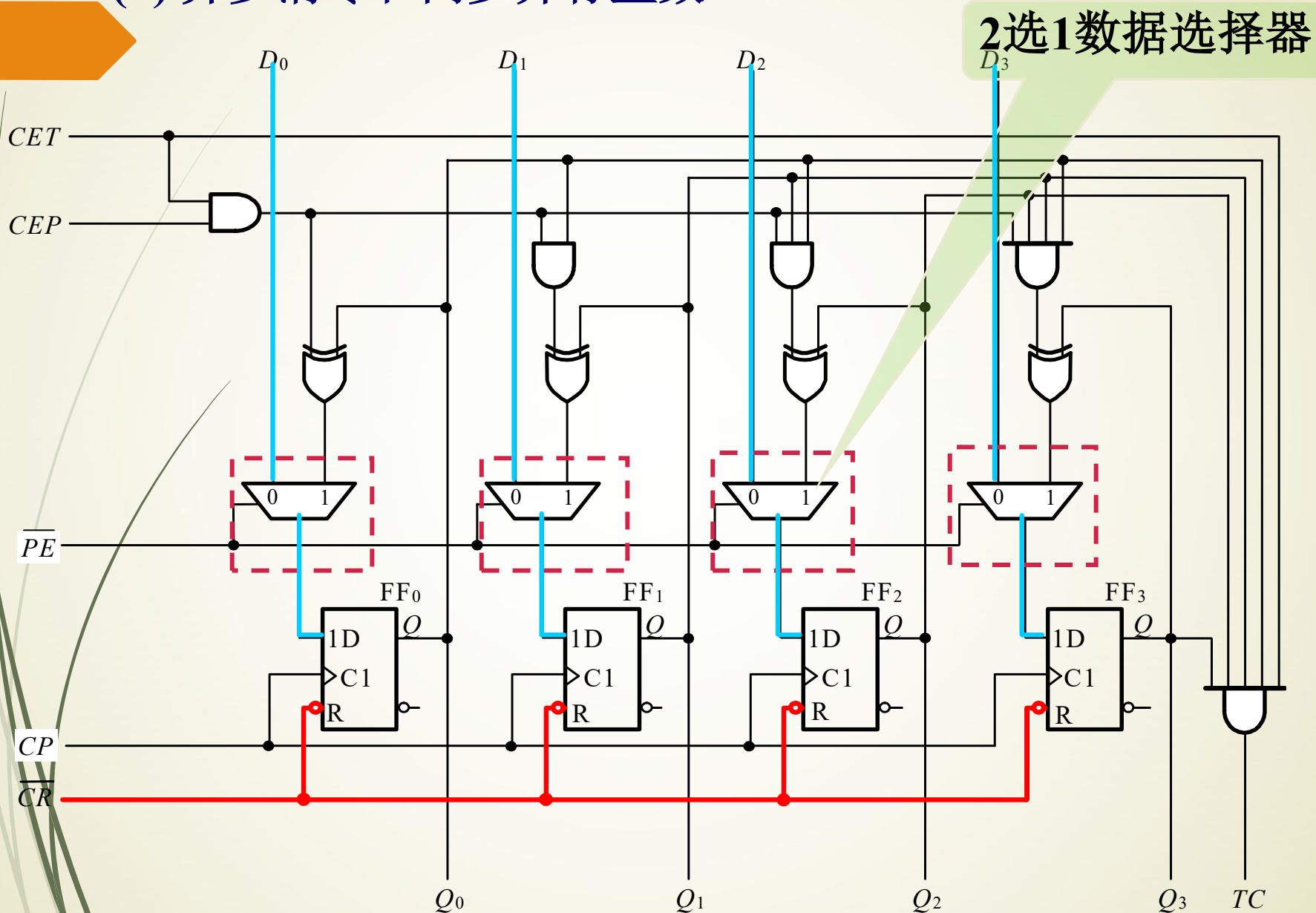
(c) 计数使能和并行进位

CET 、 CEP 为计数使能，并行进位

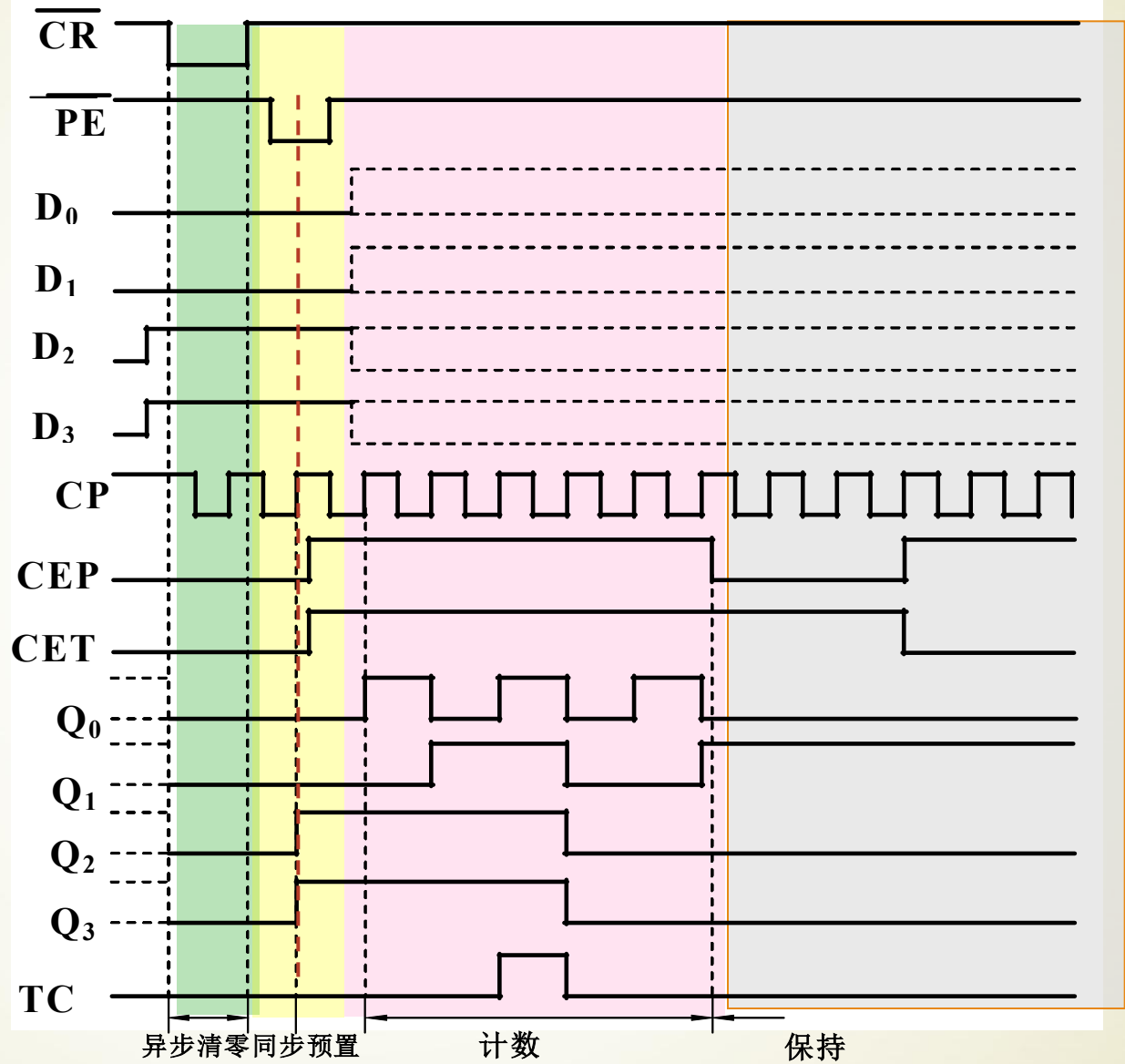
$$TC = Q_3 Q_2 Q_1 Q_0 \cdot CET$$



(d) 异步清零和同步并行置数



(2) 时序图



$$TC = CET \cdot Q_3 Q_2 Q_1 Q_0$$

74LVC161逻辑功能表

输 入									输 出				
清零	预置	使能		时钟	预置数据输入				计 数				进位
$\overline{CR}$	$\overline{PE}$	CEP	CE_T	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0	*
H	H	L	×	×	×	×	×	×	保		持		*
H	H	×	L	×	×	×	×	×	保		持		*
H	H	H	H	↑	×	×	×	×	计		数		*

$\overline{CR}$ 的作用?

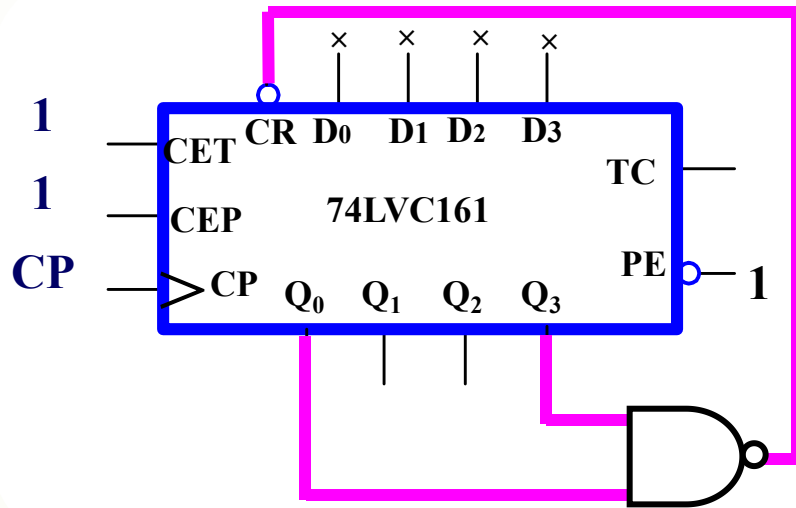
$\overline{PE}$ 的作用?

2、其他模数计数器

例 用74LVC161构成九进制加计数器。

(a) 反馈清零法：利用异步置零输入端，在 M 进制计数器的计数过程中，跳过 $M-N$ 个状态，得到 N 进制计数器的方法。

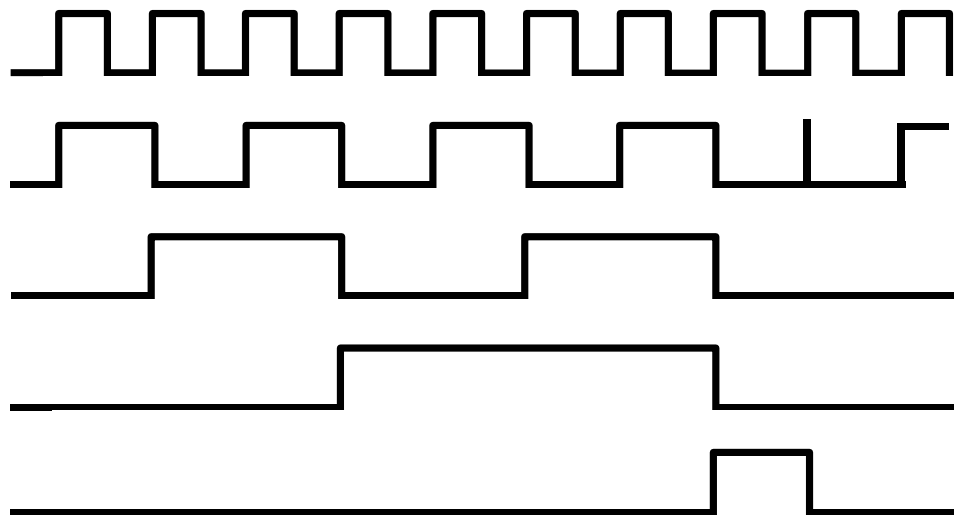
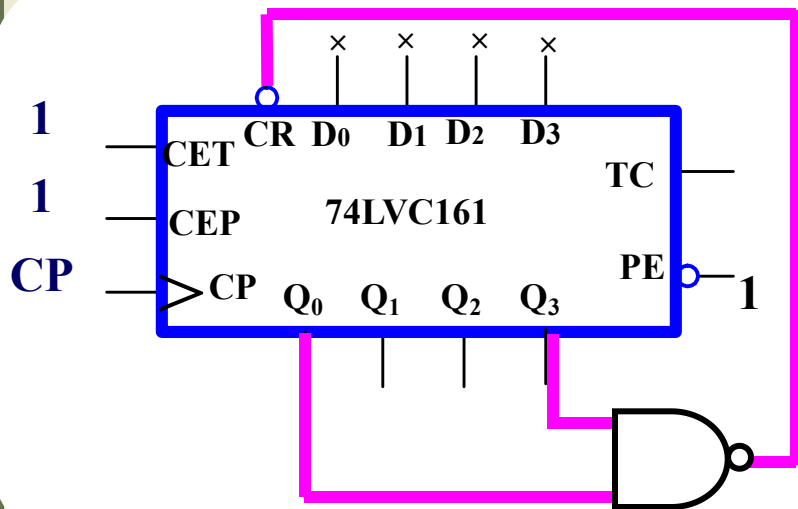
CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	...	...	...	...
8	1	0	0	0
9	1	0	0	1
...	...	...	...	...
15	1	1	1	1



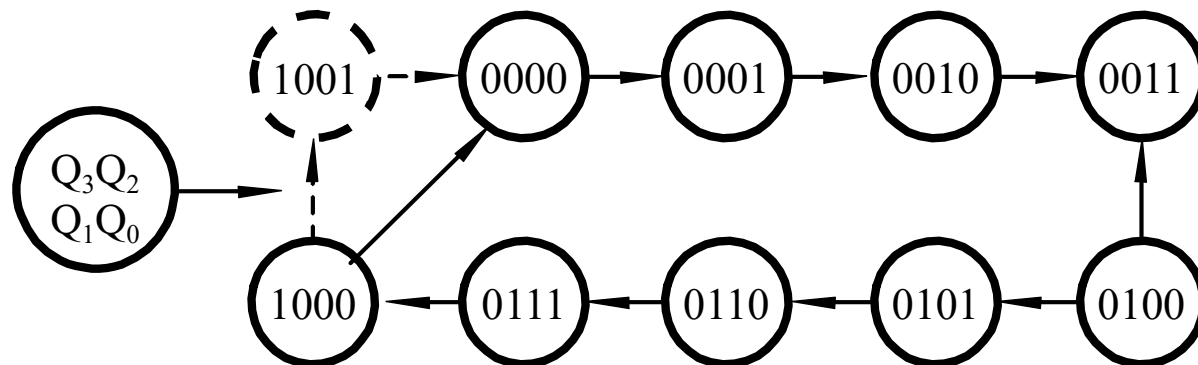
$$CR = \overline{Q_0 \cdot Q_3} = 0$$

设法跳过 $16-9=7$ 个状态

工作波形



状态图

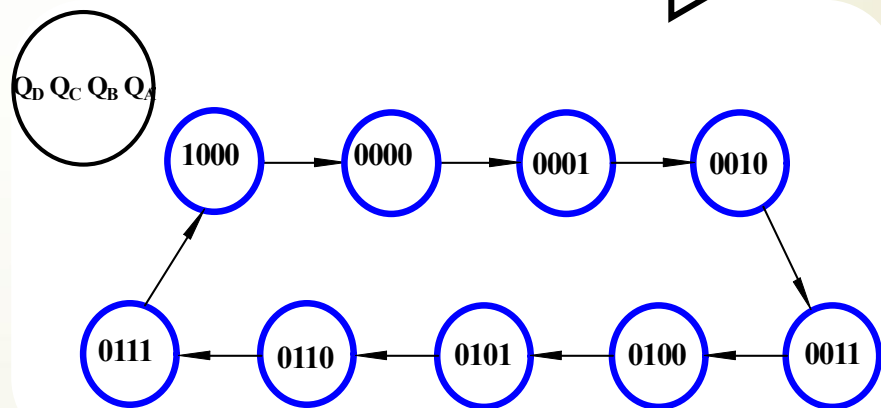
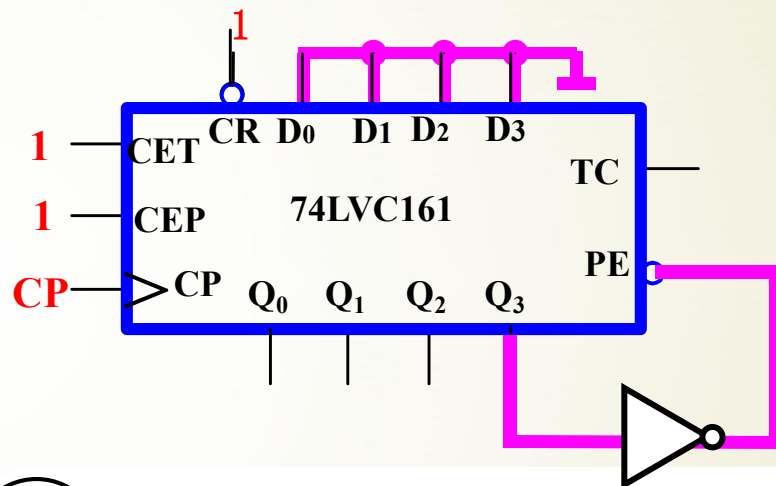


利用同步置数端构成九进制计数器

(b) 反馈置数法:利用同步置数端, 在 M 进制计数器的计数过程中, 跳过 $M-N$ 个状态, 得到 N 进制计数器的方法。

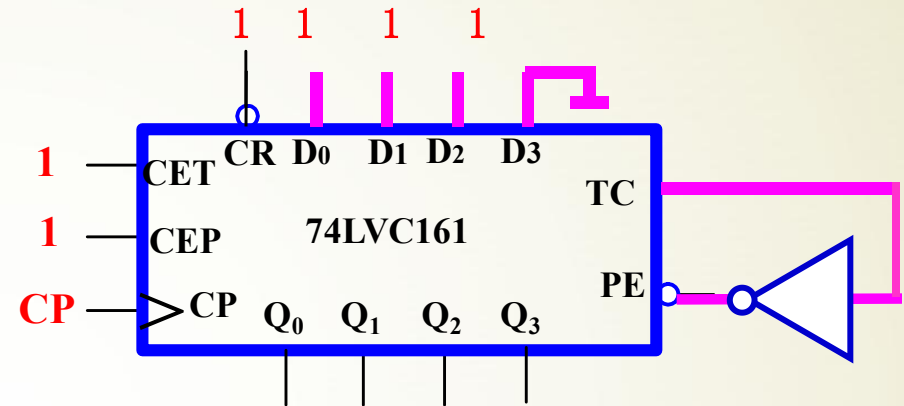
CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...	...	...	...	...
8	1	0	0	0

$$PE = \overline{Q_3} = 0$$

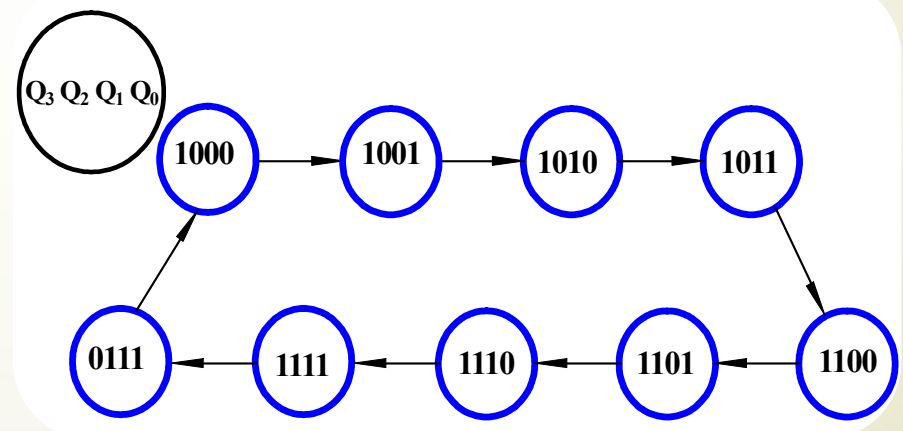


采用后九种状态作为有效状态，用反馈置数法 构成九进制加计数器。

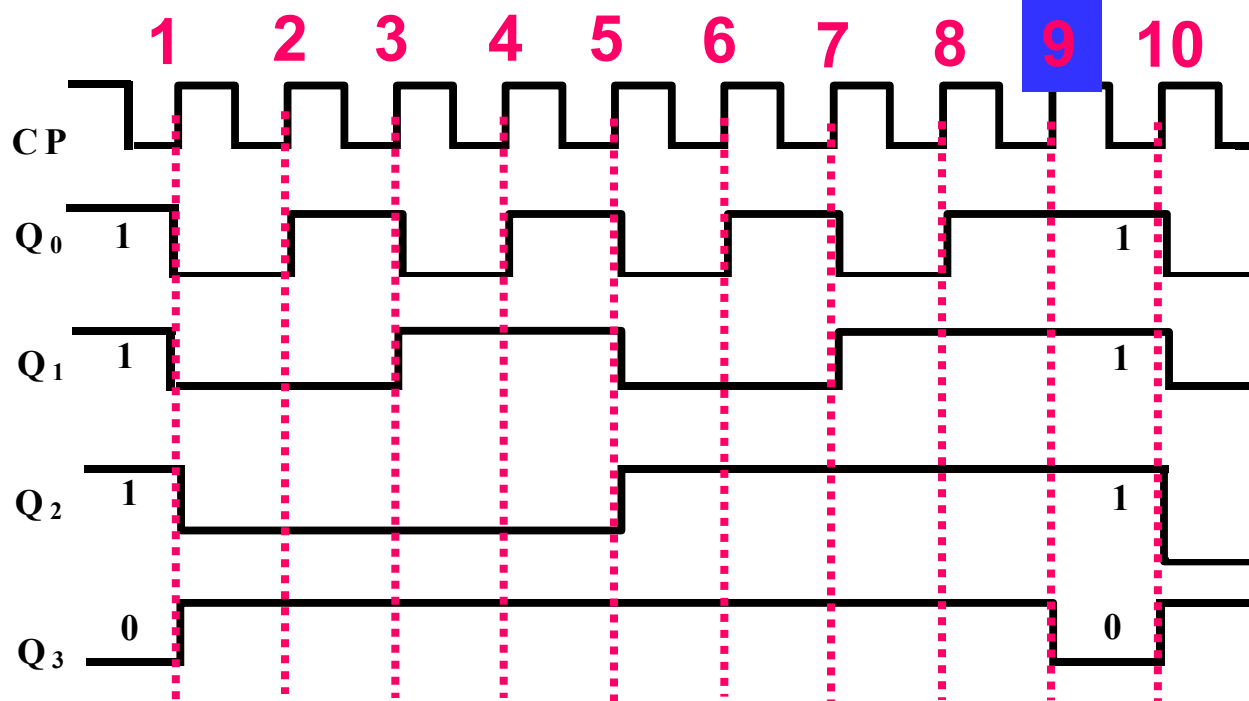
Q_3	Q_2	Q_1	Q_0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$

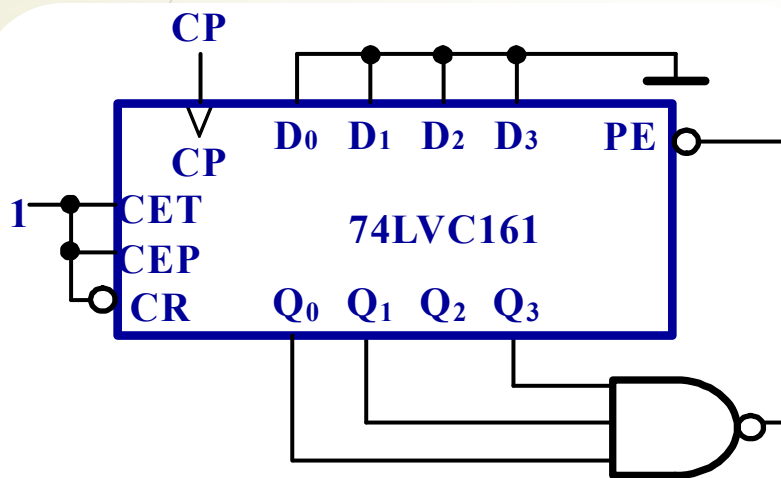


波形图：

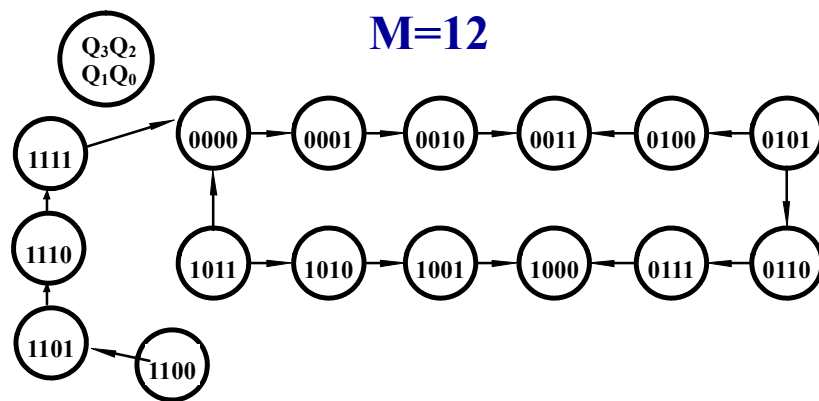


该计数器的模为9。

例：分析下图所示的时序逻辑电路，试画出其状态图和
在 CP 脉冲作用下 Q_3 、 Q_2 、 Q_1 、 Q_0 的波形，并指出计数器的
模是多少？



$$PE = \overline{Q_3 \cdot Q_1 \cdot Q_0} = 0$$



例 用74LVC161组成256进制计数器。

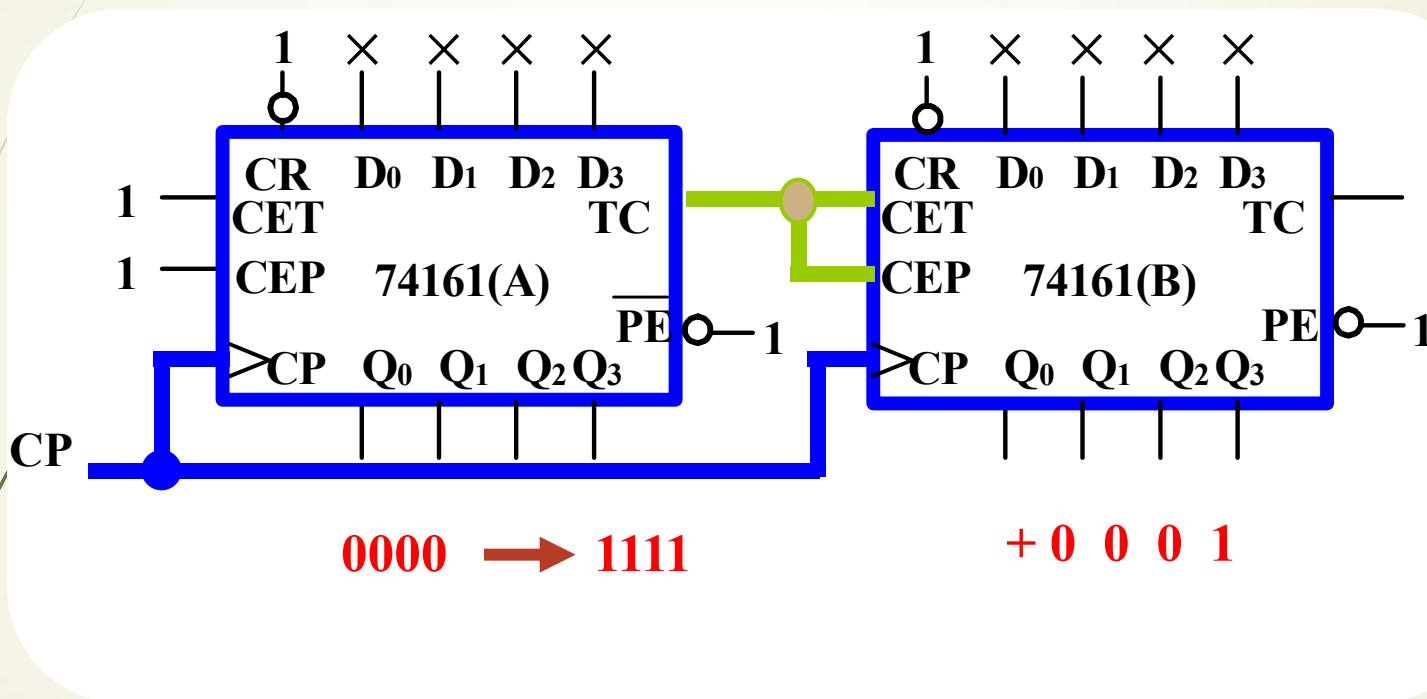
解：设计思想

- 1片74161是16进制计数器
- $256 = 16 \times 16$
- 所以256进制计数器需用两片74161构成

◆ 片与片之间的连接通常有两种方式：

- 并行进位（低位片的进位信号作为高位片的使能信号）
- 串行进位（低位片的进位信号作为高位片的时钟脉冲，即异步计数方式）

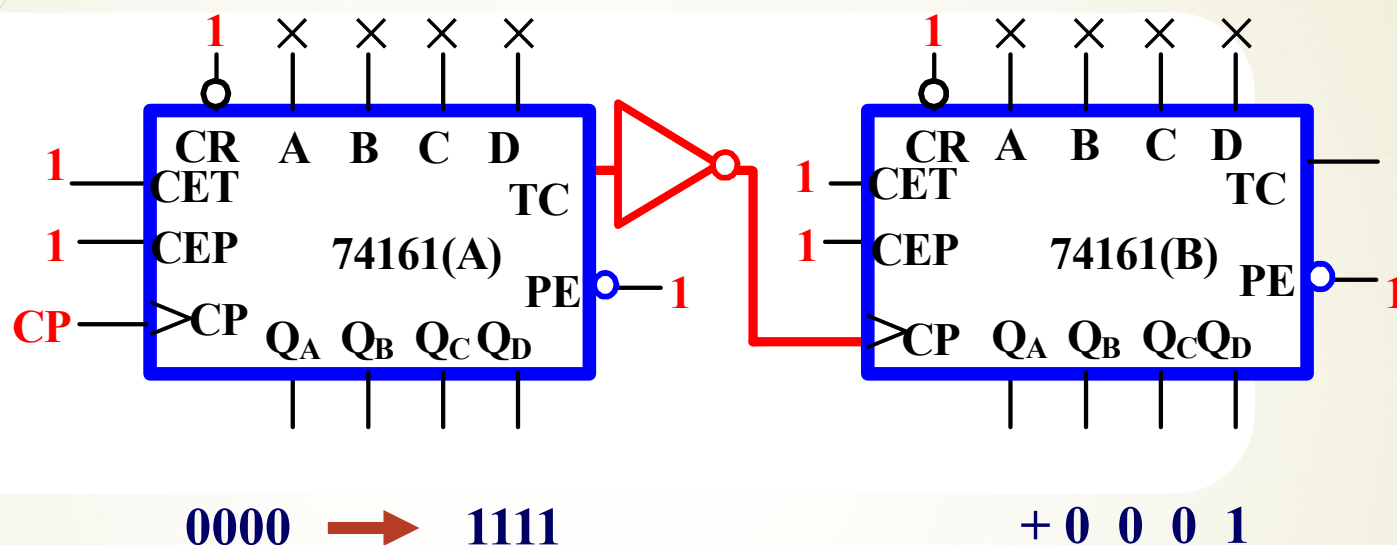
并行进位：低位片的进位作为高位片的使能



计数状态：0000 0000 ~ 1111 1111

$$N = 16 \times 16 = 256$$

串行进位：低位片的进位作为高位片的时钟



计数状态：0000 0000 ~ 1111 1111

采用串行进位时，为什么低TC要经反相器后作为高位的CP？

小结

用集成计数器构成任意进制计数器的一般方法

1) $N < M$ 的情况：

(已有的集成计数器是 M 进制，需组成的是 N 进制计数器)

实现的方法：

反馈清零法

利用清零输入端，使电路计数到某状态时产生清零操作，清除 $M-N$ 个状态实现 N 进制计数器。

反馈置数法

利用计数器的置数功能，通过给计数器重复置入某个数码的方法减少 $(M-N)$ 个独立状态，实现 N 进制计数器。

2) $N > M$ 的情况

实现的方法：---采用多片M进制计数器构成。

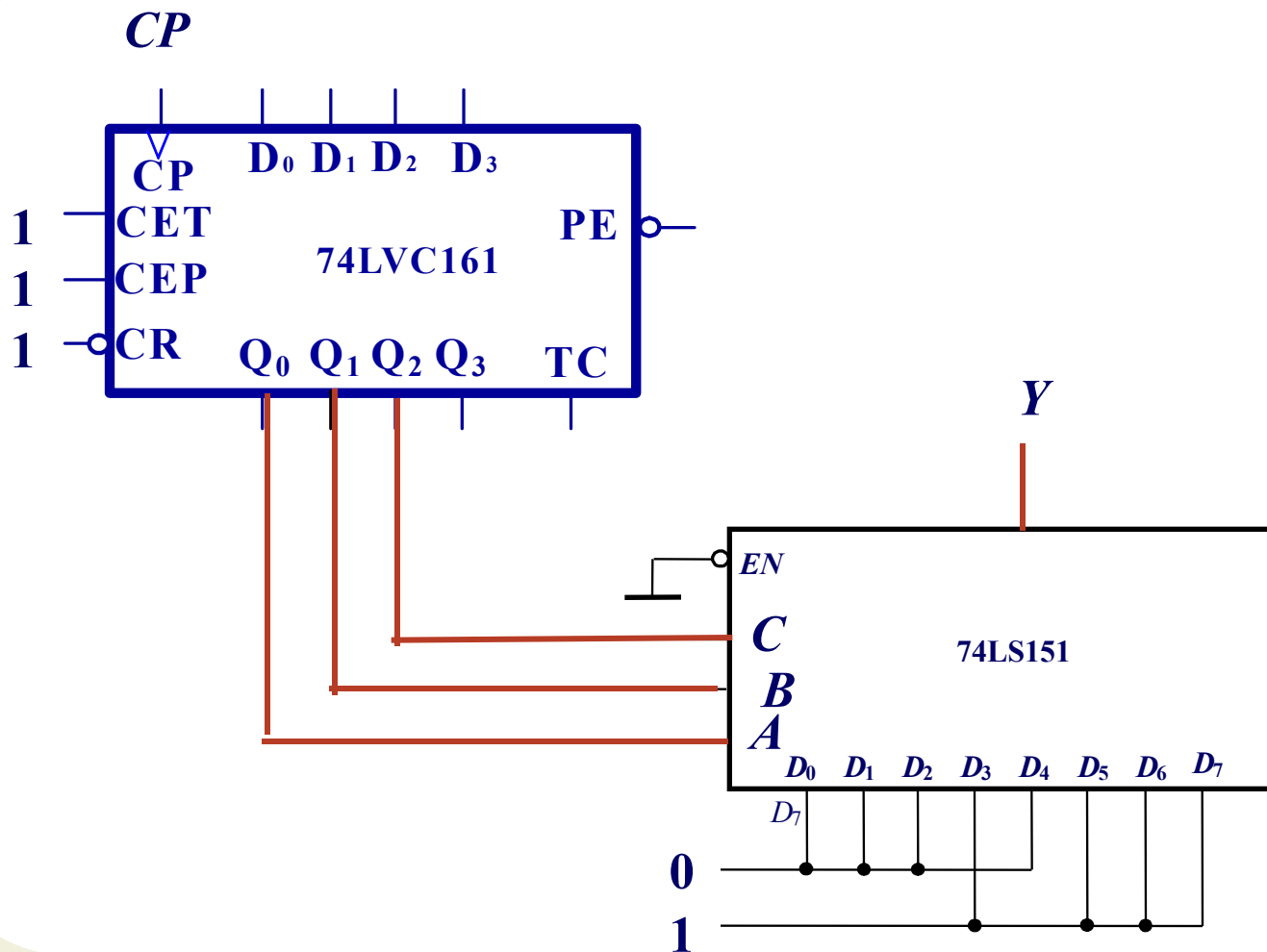
按芯片连接方式可分为：

(1) 串行进位方式： 构成异步计数器

(2) 并行进位方式： 构成同步计数器

应用举例 序列信号发生器

在 CP 的作用下， Y 端产生00010111循环序列信号



如要求 Y 端产生10110010循环序列信号，如何改变电路的连接？

3、环形计数器

① 基本环形计数器

置初态 $Q_3Q_2Q_1Q_0=0001$,

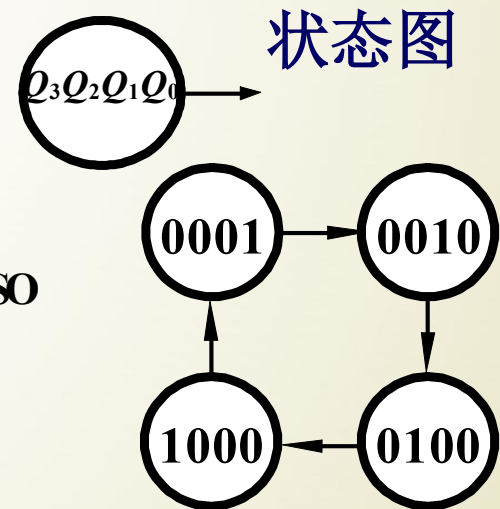
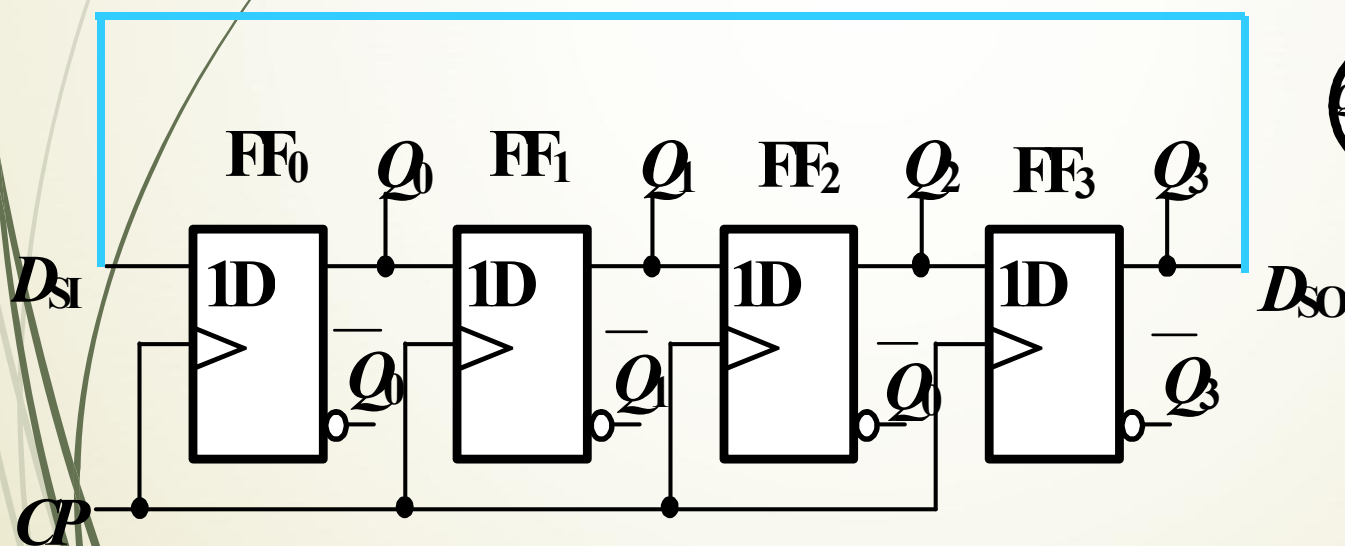
第一个 $CP: Q_3Q_2Q_1Q_0=0010$,

第二个 $CP: Q_3Q_2Q_1Q_0=0100$,

第三个 $CP: Q_3Q_2Q_1Q_0=1000$,

第四个 $CP: Q_3Q_2Q_1Q_0=0001$,

第五个 $CP: Q_3Q_2Q_1Q_0=0010$,



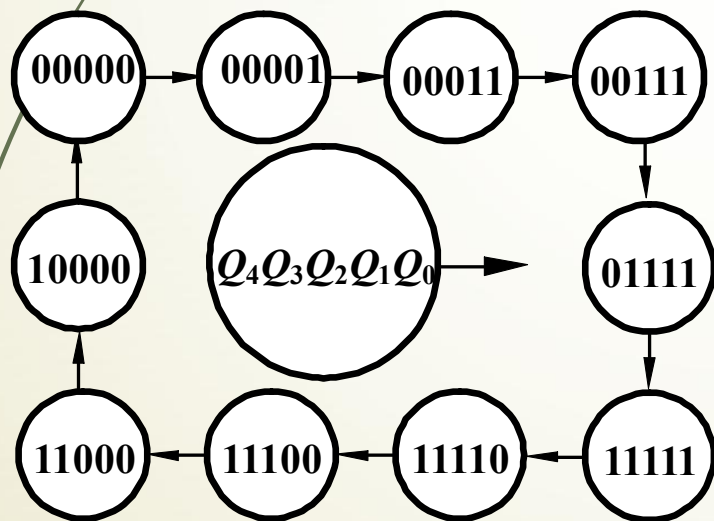
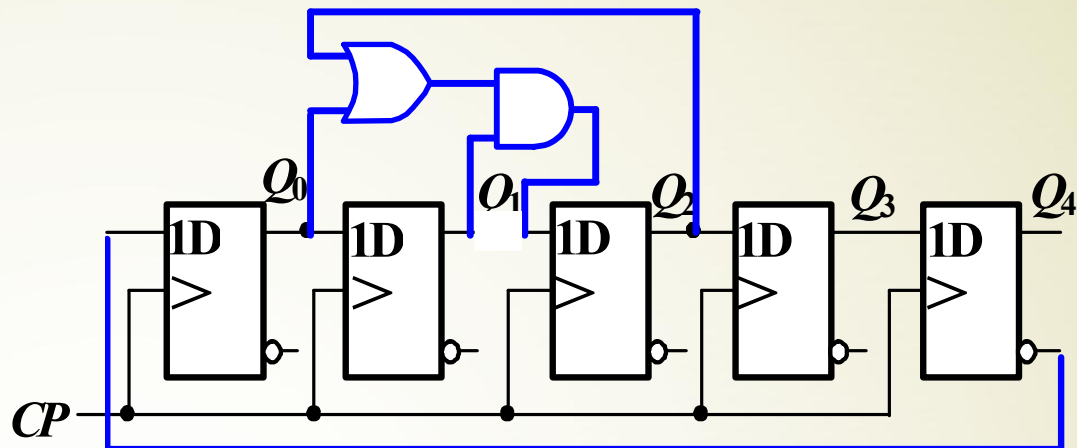
② 扭环形计数器

a、电路

b、状态表

置初态 $Q_3Q_2Q_1Q_0=0001$,

c、状态图



状态编号	Q_4	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

状态编号	Q_4	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

$$Y_0 = \overline{Q_4} \overline{Q_0}$$

$$Y_1 = \overline{Q_1} Q_0$$

$$Y_2 = \overline{Q_2} Q_1$$

$$Y_3 = \overline{Q_3} Q_2$$

$$Y_4 = \overline{Q_4} Q_3$$

$$Y_5 = Q_4 Q_0$$

$$Y_6 = Q_1 \overline{Q_0}$$

$$Y_7 = Q_2 \overline{Q_1}$$

$$Y_8 = Q_3 \overline{Q_2}$$

$$Y_9 = Q_4 \overline{Q_3}$$

译码电路简单, 且不会出现竞争冒险

6.6 时序逻辑的可编程电路实现

第4.5节介绍了PLD实现组合逻辑电路，在此基础上，在PLD中增加触发器及反馈就可以实现时序逻辑。

例：对于例6.3.2中的110序列脉冲检测电路，改用含D触发器的可编程逻辑器件实现，试求激励方程和输出方程，并画出编程后的逻辑图。

解（1）根据例6.3.2状态转换表，得到状态转换真值表。

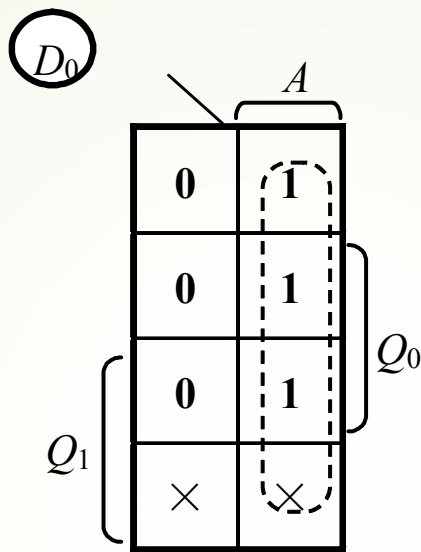
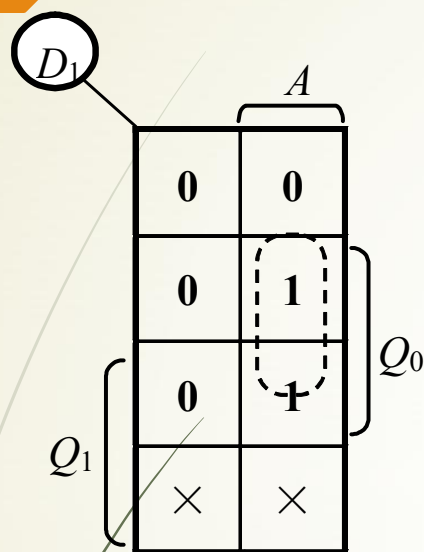
状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0	0 0/0	0 1/0
0 1	0 0/0	1 1/0
1 1	0 0/1	1 1/0

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	0

(2) 由于D触发器的特性方程 $Q^{n+1}=D$ ，根据状态转换真值表，画卡诺图求激励方程。

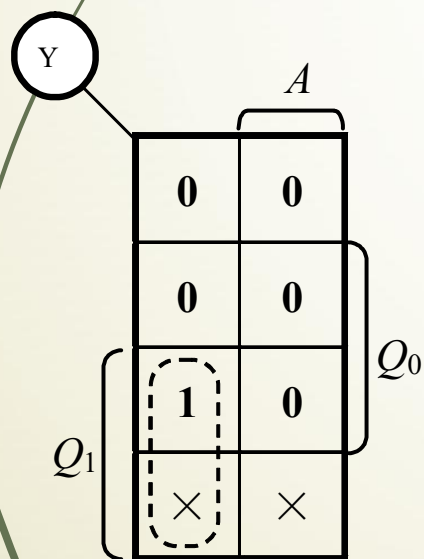


$$D_1 = Q_0 A$$

$$D_0 = A$$

状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	0



$$Y = Q_1 \bar{A}$$

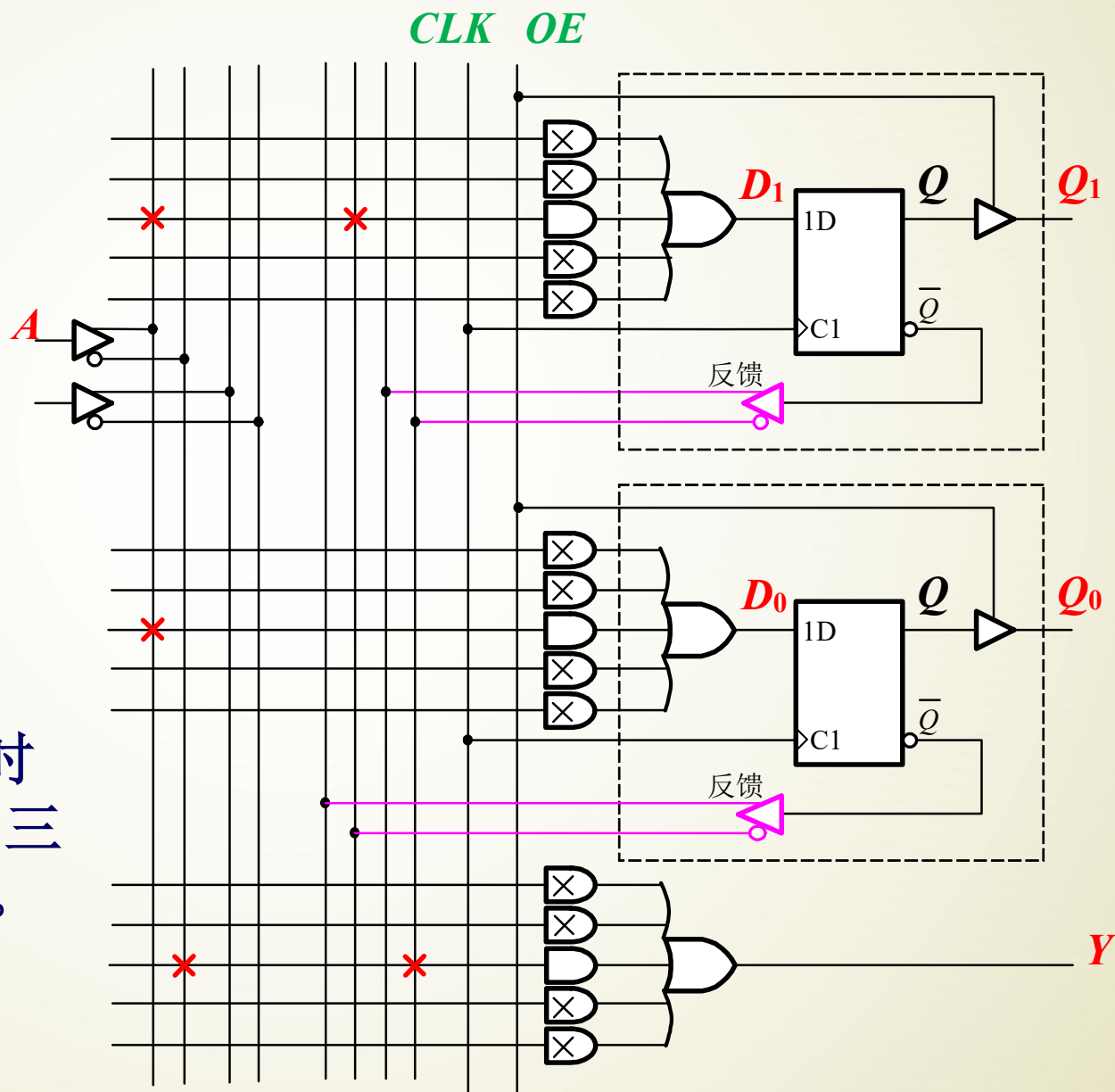
(3) 用含D触发器的PLD实现编程后的逻辑图如图。

$$D_1 = Q_0 A$$

$$D_0 = A$$

$$Y = Q_1 \bar{A}$$

- CLK 是统一的时钟， OE 是输出三态门使能信号。



小 结

- ◆时序电路的分析，首先按照给定电路列出各逻辑方程组、列出状态表、画出状态图和时序图，最后分析得到电路的逻辑功能。时序电路的设计，首先根据逻辑功能的需求，导出原始状态图或原始状态表，有必要时需进行状态化简，继而对状态进行编码，然后根据状态表导出激励方程组和输出方程组，最后画出逻辑图完成设计任务。
- ◆时序逻辑电路一般由组合电路和存储电路两部分构成。它们在任一时刻的输出不仅是当前输入信号的函数，而且还与电路原来的状态有关。时序电路可分为同步和异步两大类。逻辑方程组、状态表、状态图和时序图从不同方面表达了时序电路的逻辑功能，是分析和设计时序电路的主要依据和手段。

6.7 用Verilog HDL描述时序逻辑电路

6.7.1 移位寄存器的Verilog建模

6.7.2 计数器的Verilog建模

6.7.3 状态转换图的Verilog建模

6.7.4 数字钟的Verilog建模

6.7.1 移位寄存器的Verilog建模

用行为级描述always描述一个 4 位双向移位寄存器，有异步清零、同步置数、左移、右移和保持。功能同74xx194。

```
module shift74x194 (S1, S0, D, Dsl, Dsr, Q, CP, CR);  
    input S1, S0;                //控制输入  
    input Dsl, Dsr;              //串行输入  
    input CP, CR;                //时钟及清零  
    input [3:0] D;                //并行输入  
    output [3:0] Q;              //寄存器输出  
    reg [3:0] Q;
```

6.7.1 移位寄存器的Verilog建模

```
always @ (posedge CP or negedge CR)
```

```
    if (~CR) Q <= 4'b0000;
```

```
    else
```

```
        case ({S1,S0})
```

```
            2'b00: Q <= Q;                //保持
```

```
            2'b01: Q <= {Q[2:0],Dsr};    //右移
```

```
            2'b10: Q <= {Dsl,Q[3:1]};    //左移
```

```
            2'b11: Q <= D;                //并行输入
```

```
        endcase
```

```
    endmodule
```

6.7.2 计数器的Verilog建模

用Verilog描述带使能端和同步置数端的可逆4位二进制计数器

```
module updowncount_beh #(parameter n=4)
(
input Load,Up_down,En,CP, //输入端口声明
input[n-1:0]D,           //并行数据输入
output reg[n-1:0]Q  //数据输出端口及变量数据类型声明
);
integer direction; //中间变量声明
```

always @(posedge CP)

begin

if(Up_down)

direction <= 1;

else

direction <= -1;

if(Load)

Q <= D; //Load=1,同步置数

else if(En)

Q <= Q+direction; //加1或减1

else

Q <= Q; //输出保持不变

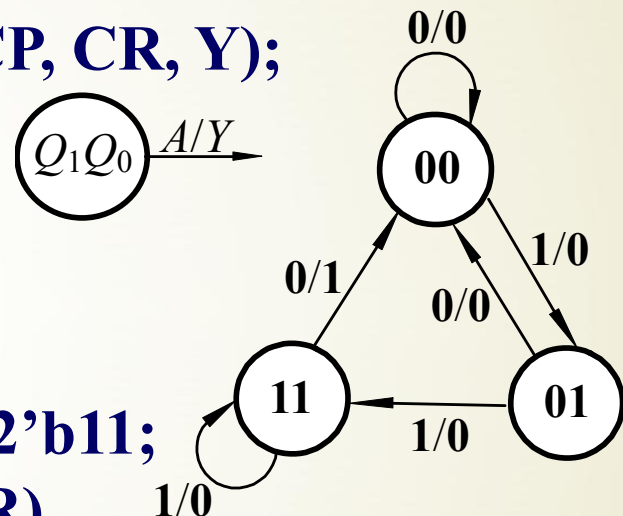
end

endmodule

6.7.3 状态转换图的Verilog建模

用Verilog描述状态转换图非常方便，常用always或case语句。
下面程序，第一个always语句描述状态转移

```
module Mealy_sequence_detector (A, CP, CR, Y);  
  input A, CP, CR;  
  output Y;  
  reg Y;  
  reg [1:0] current_state, next_state;  
  parameter S0=2'b00, S1=2'b01, S2=2'b11;  
  always @( negedge CP or negedge CR)  
  begin  
    if (~CR) current_state <= S0;    //在CR下降沿设s0为初态  
    else      current_state <= next_state;  
  end
```



6.7.3 状态转换图的Verilog建模

第二个always是将current_state和输入A作为敏感变量，判断状态转移条件。

```
always @(current_state,A) //组合电路
begin
    case(current_state) //准备下一状态, 电路输出
        Y=0;
        S0:begin next_state=(A==1)?S1:S0;end
        S1:begin next_state=(A==1)?S2:S0;end
        S2:if(A==1)  begin next_state = S2;end
            else  begin Y=1;next_state = S0;end
        default  begin next_state = S0; end
    endcase
end
endmodule
```

