

4) JK 触发器转换成 SR 触发器

因为 JK 触发器的特性方程为 $Q^{n+1} = J \cdot \overline{Q^n} + \overline{K} \cdot Q^n$ ，而 SR 触发器的特性方程为 $Q^{n+1} = S + \overline{R} \cdot Q^n$ ，变换 SR 触发器的特性方程后比较两个等式可得到 $S = J$ 、 $R = K$ ，可以得到 JK 触发器转换为 SR 触发器的电路图，如图 5.5.9 所示。

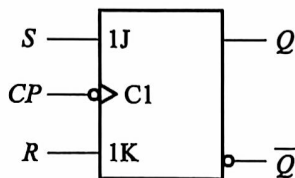


图 5.5.9 JK 触发器转换为 SR 触发器

本章小结

锁存器和触发器是具有记忆功能的基本逻辑单元，它们都有两个稳定状态，从而可以存储 1 位二进制数值，置 0、置 1 和数据保存是存储单元最基本的功能。

锁存器是对脉冲电平敏感的存储电路。基本 SR 锁存器的输出状态由输入电平直接控制。门控 SR 锁存器在使能信号有效的条件下由输入信号决定其状态。

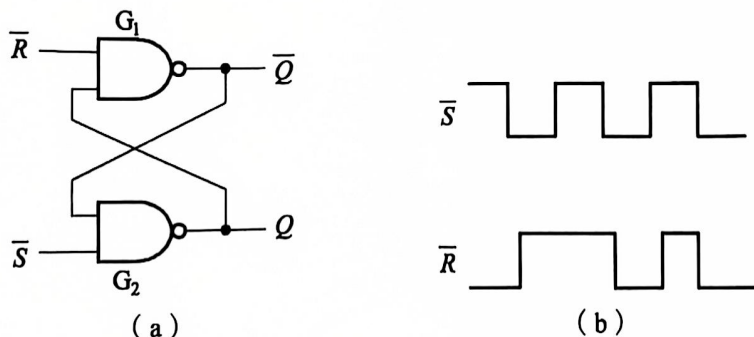
D 锁存器的电路简单，是构成触发器的基本电路。在使能信号有效时，D 锁存器输出跟随输入信号 D 而变化。

触发器是对时钟脉冲边缘敏感的存储电路，它们在时钟脉冲的上升沿或下降沿作用下更新状态。目前流行的触发器电路主要有主从和维持阻塞电路结构，它们的工作原理各不相同。

触发器按逻辑功能分类，有 D 触发器、JK 触发器、T 触发器、SR 触发器等几种类型，它们的功能可用特性表、特性方程和状态转换图来描述。

习 题

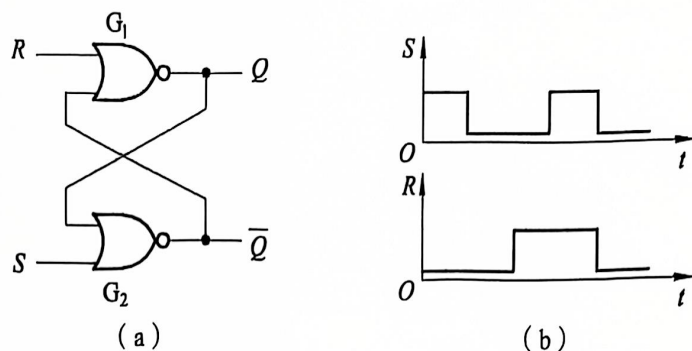
5.1 在图题 5.1 (a) 所示的基本 SR 锁存器中，已知输入信号 $\overline{R}$ 、 $\overline{S}$ 的波形如图 (b) 所示，请画出 Q 、 $\overline{Q}$ 端的波形。



图题 5.1

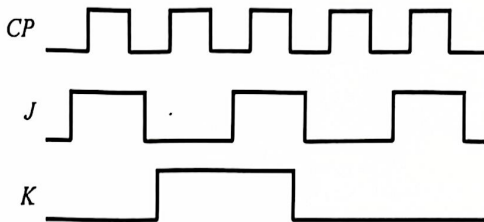
5.2 在图题 5.2 (a) 所示的基本 SR 锁存器中，已知输入信号 R 、 S 的波形如图 (b) 所示，请画出 Q 、 $\overline{Q}$ 端的波形。





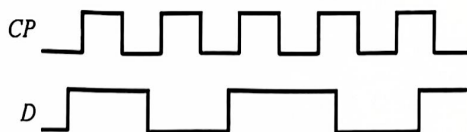
图题 5.2

5.3 在主从 JK 触发器中, 若已知波形如图题 5.3 所示, 触发器起始状态 0, 试画出 Q 、 $\bar{Q}$ 端的波形。



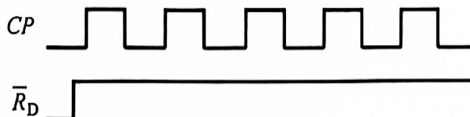
图题 5.3

5.4 在上升沿 D 触发器中, 已知 CP 、 D 的波形如图题 5.4 所示, 试画出 Q 、 $\bar{Q}$ 端波形。设触发器的初始状态为 $Q=0$ 。



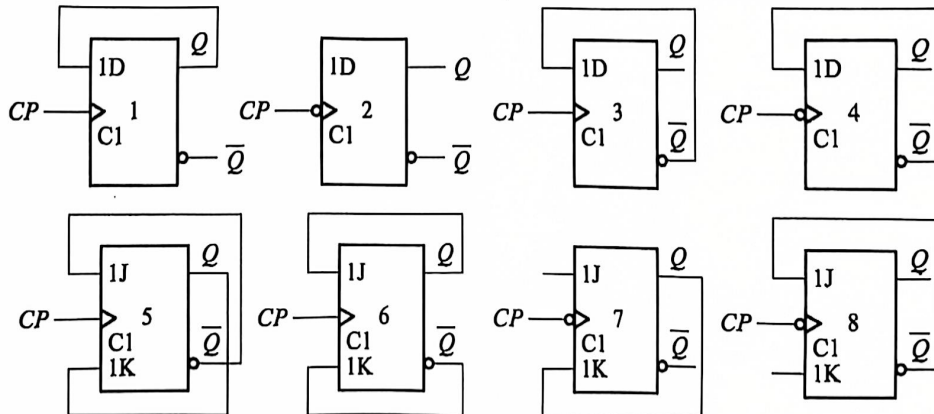
图题 5.4

5.5 在下降沿 JK 触发器中, 已知时钟和复位端波形如图题 5.5 所示, J 和 K 接高电平, 试画出 Q 端波形。设触发器的初始状态为 $Q=0$ 。



图题 5.5

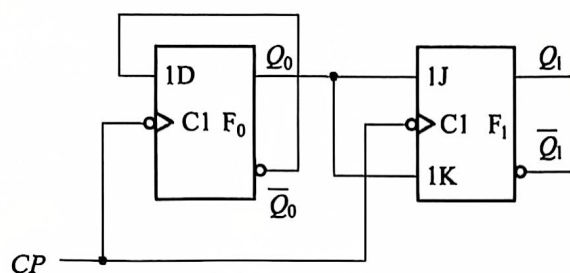
5.6 试画出图题 5.6 中各触发器在时钟信号作用下 Q 端的波形, 设触发器起始状态皆为 0。



图题 5.6

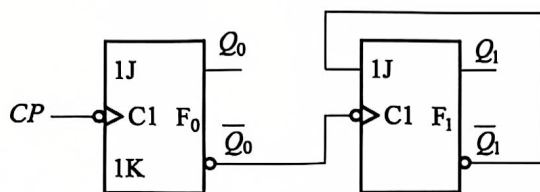


5.7 试画出图题 5.7 所示触发器的 Q_0 、 Q_1 端波形, 设各触发器起始状态为 0。



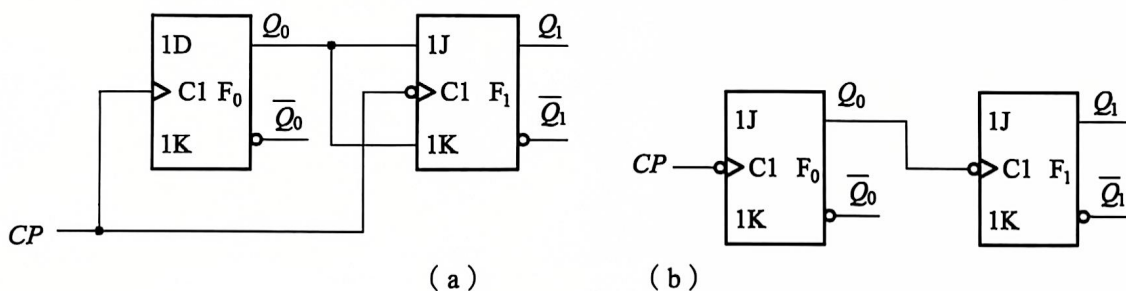
图题 5.7

5.8 试画出图题 5.8 所示触发器的 Q_0 、 Q_1 端波形, 设各触发器起始状态为 0。



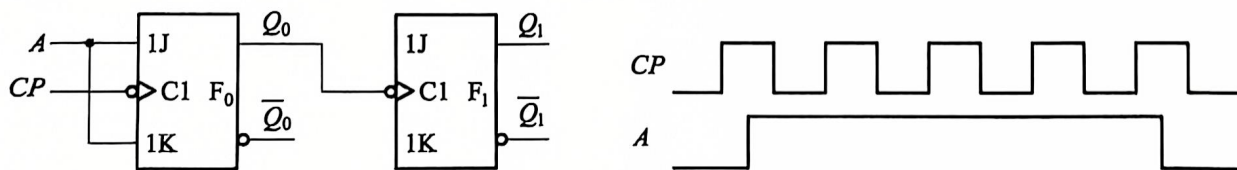
图题 5.8

5.9 试画出图题 5.9 所示电路 Q_0 、 Q_1 的波形, 设各触发器起始状态为 0。



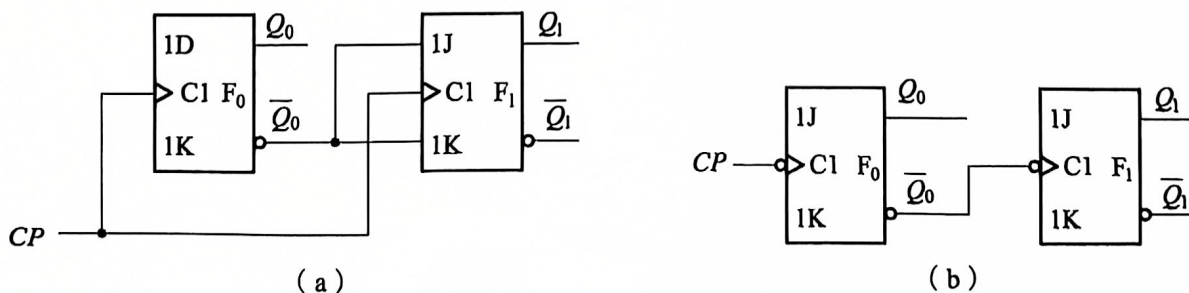
图题 5.9

5.10 试画出图题 5.10 所示电路中 Q_0 、 Q_1 的波形, 设各触发器起始状态为 0。



图题 5.10

5.11 试画出图题 5.11 所示电路 Q_0 、 Q_1 的波形, 设各触发器起始状态为 0。



图题 5.11

