

全加器的位数与操作数的位数相等的加法器称并行加法器。

进位信号的产生与传递的逻辑结构称为进位链。

当 x_i 与 y_i 都为 1 时, $C_i=1$, 即有进位信号产生, 所以将 $x_i y_i$ 称为进位产生函数或本地进位, 并以 G_i 表示。

当 $x_i \oplus y_i=1$ 且 $C_{i-1}=1$ 时, 则 $C_i=1$ 。这种情况可看作是当 $x_i \oplus y_i=1$ 时, 第 $i-1$ 位的进位信号 C_{i-1} 可以通过本位向高位传送。因此, 把 $x_i \oplus y_i$ 称为进位传递函数或进位传递条件, 并以 P_i 表示。

3.1.17 什么是组内并行、组间串行的进位链?

这种进位链每小组 4 位, 组内采用并行进位结构, 组间采用串行进位传递结构。进位表达式为

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

16 位组内并行组间串行进位链框图如图 3.1.7 所示。

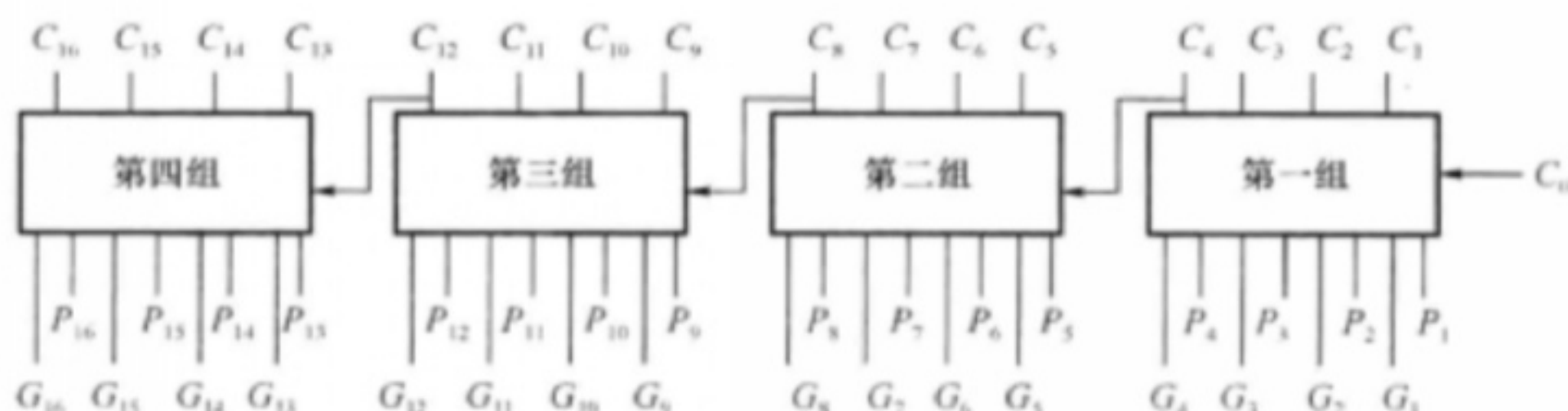


图 3.1.7 16 位组内并行、组间串行进位链框图

产生所有进位需 $8T_d$ (T_d 为门的延迟时间)。

3.1.18 什么是组内并行、组间并行的进位链?

$$G_1^* = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 \quad (\text{小组的进位生成函数})$$

$$P_1^* = P_4 P_3 P_2 P_1 \quad (\text{小组的进位传递函数})$$

因此

$$C_4 = G_1^* + P_1^* C_0$$

同理

$$C_8 = G_2^* + P_2^* C_4$$

$$C_{12} = G_3^* + P_3^* C_8$$

$$C_{16} = G_4^* + P_4^* C_{12}$$

这是一组递推表达式, 可将其展开为

$$C_4 = G_1^* + P_1^* C_0$$

$$C_8 = G_2^* + P_2^* G_1^* + P_2^* P_1^* C_0$$

$$C_{12} = G_3^* + P_3^* G_2^* + P_3^* P_2^* G_1^* + P_3^* P_2^* P_1^* C_0$$

$$C_{16} = G_4^* + P_4^* G_3^* + P_4^* P_3^* G_2^* + P_4^* P_3^* P_2^* G_1^* + P_4^* P_3^* P_2^* P_1^* C_0$$

其中

$$G_1^* = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1$$

$$G_2^* = G_8 + P_8 G_7 + P_8 P_7 G_6 + P_8 P_7 P_6 G_5$$

$$G_3^* = G_{12} + P_{12} G_{11} + P_{12} P_{11} G_{10} + P_{12} P_{11} P_{10} G_9$$

$$G_4^* = G_{16} + P_{16} G_{15} + P_{16} P_{15} G_{14} + P_{16} P_{15} P_{14} G_{13}$$

$$P_1^* = P_4 P_3 P_2 P_1$$

$$P_2^* = P_8 P_7 P_6 P_5$$

$$P_3^* = P_{12} P_{11} P_{10} P_9$$

$$P_4^* = P_{16} P_{15} P_{14} P_{13}$$

16 位组内并行、组间并行进位链框图如图 3.1.8 所示。

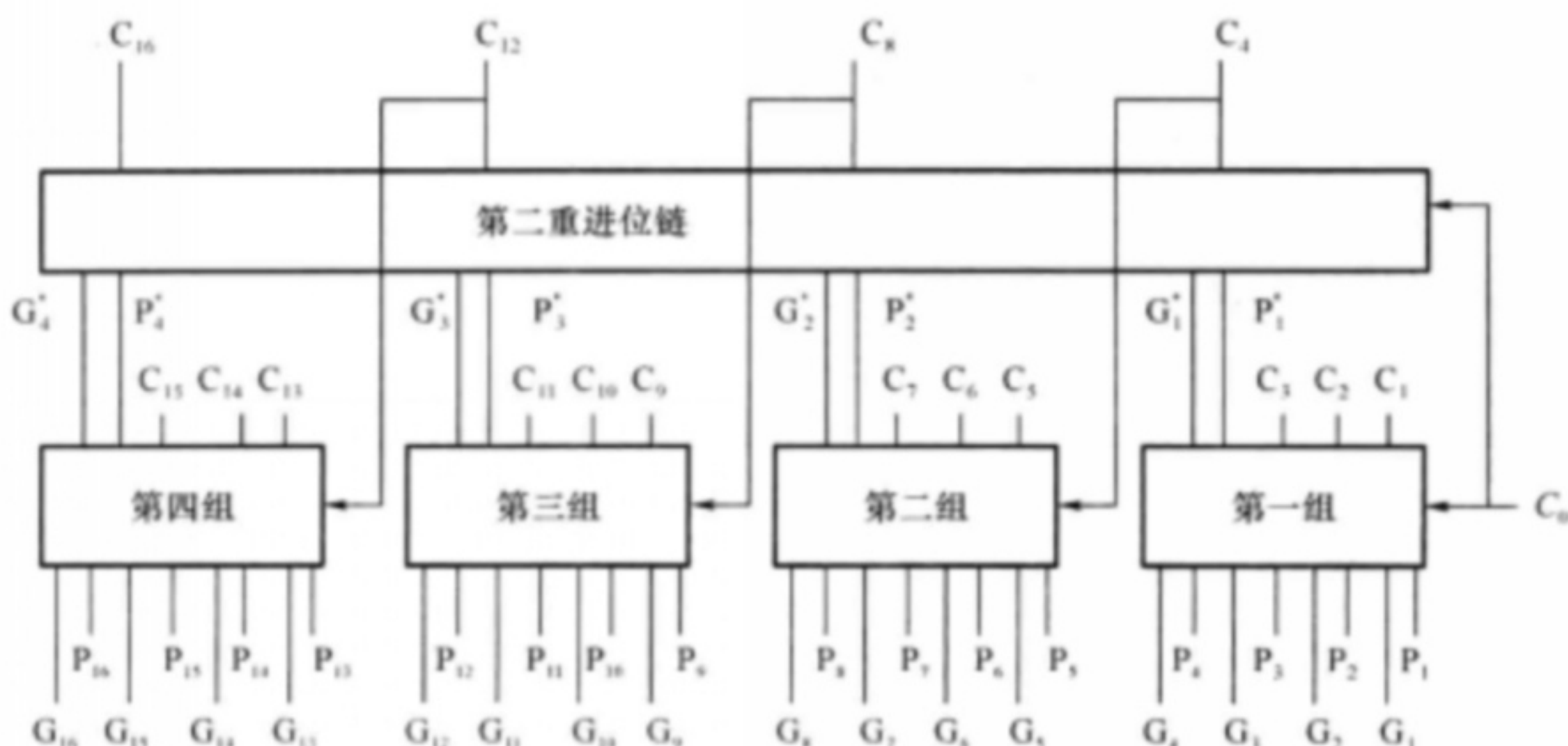


图 3.1.8 16 位组内并行、组间并行进位链框图

进位产生次序:

(1) 产生第一小组的 C_1, C_2, C_3 及所有 G_i^*, P_i^* ;

(2) 产生组间的进位信号 C_4, C_8, C_{12}, C_{16} ;

(3) 产生第二、三、四小组的 $C_5, C_6, C_7, C_9, C_{10}, C_{11}, C_{13}, C_{14}, C_{15}$ 。

至此, 进位信号全部形成, 和数也随之产生。